SALVADOR AMALFA/OSCAR PERSA

PROYECTOS CON CMOS



- TEORIA
- DATOS TECNICOS
- DISEÑOS DE FACIL ARMADO

HASA

PROYECTOS CON
CMOS

Hecho el depósito que marca la Ley 11.723

Adolfo Alsina 731 - Buenos Aires - 1989

Impreso en Argentina Printed in Argentina

ISBN 950-528-052-1

Agradecemos a Motorola Semiconductor Products Inc. y a su representante exclusivo Argonics S. A. , la gentileza de habernos suministrado la ilustración de la tapa.

SALVADOR AMALFA
OSCAR PERSA

PROYECTOS CON

CMOS



EDITORIAL HISPANO AMERICANA S. A.
ADOLFO ALSINA 731
BUENOS AIRES

Dedicatoria:
A nuestras esposas,
María del Carmen y
Olga Sara.

PROLOGO

El asombroso desarrollo a gran escala de los circuitos integrados ha constituido en los últimos años una verdadera revolución tecnológica en campos tan diversos que abarcan desde la electrónica de entretenimiento hasta la conquista espacial.

Es así como grandes áreas tales como las telecomunicaciones, la robótica y control industrial de procesos, la informática, la medicina, la producción de bienes de consumo, etc. etc., se han visto mejorados y beneficiados en gran medida.

Dentro de este desarrollo, la evolución de los circuitos integrados de tecnología C-MOS es cada vez mayor y posibilita el diseño de sistemas de muy alta complejidad, especialmente en computación, donde los microprocesadores, las memorias y los sistemas de interfase se han convertido en temas de gran difusión, aun entre el público común.

Este libro, dedicado básicamente al estudiante, al experimentador y a todo aquel interesado en el desarrollo de circuitos electrónicos, intenta poner a su alcance conocimientos, aplicaciones y datos de interés referidos a la tecnología C-MOS.

Por este motivo, se ha dividido la obra en tres partes estructurales:

En la primera se hace una reseña teórica del funcionamiento, combinación de etapas, simbología y manipuleo de los integrados C-MOS.

La segunda parte aprovecha estos conocimientos adquiridos y encara en forma práctica, la construcción de diferentes dispositivos: alarmas, temporizadores, tacómetros, juegos de luces, circuitos de entretenimiento, sistemas de control, etc. etc.

Finalmente la tercera parte incluye una serie de datos útiles, compilados en forma de tablas y esquemas que muchas veces constituyen una verdadera herramienta de trabajo y suele ser motivo de consulta por parte del técnico y el aficionado.

LOS AUTORES

CAPITULO 1

TEORIA DE LOS CIRCUITOS INTEGRADOS C-MOS

1. Introducción a los Dispositivos C-MOS

La denominación C-MOS corresponde a la abreviatura de *Complementary Symmetry Metal Oxide Semiconductor,* o sea, Semicondutor de Oxido de Metal de Simetría Complementaria.

Esta familia de circuitos integrados lógicos ha irrumpido en el mercado en 1968, e inmediatamente tuvo amplia difusión merced a sus ventajosas características. Se pueden enumerar algunas de estas cualidades: 1) La baja disipación de potencia. La disipación típica en condiciones estáticas asume un valor tan bajo como 10 nW (1 nanowatt = 10^{-9} W) por compuerta, debida principalmente a corrientes de fuga.

La potencia activa depende de la tensión de la fuente de alimentación, la frecuencia, la carga de salida y el tiempo de crecimiento de la señal de entrada, pero la disipación típica de una compuerta a 1 MHz con una carga de 50 pF es menor que 10 mW (1 miliwatt = 10^{-3} W). 2) Retardo de propagación razonablemente corto (se ha mejorado notablemente este aspecto en las más nuevas familias de integrados). Dependiendo de la tensión de la fuente de alimentación, el retardo a través de una compuerta típica está en el orden de los 25 a los 50 nS. 3) Buena inmunidad frente al ruido, típicamente igual al 45% del nivel lógico *1*. 4) Elevada cargabilidad de salida, característica conocida también con la terminología en inglés *fanout.*

En el aspecto físico, debido al tamaño menor de los transistores MOS, y el menor número de difusiones necesario ha llevado a lograr densidades cinco a seis veces superiores a las de los circuitos bipolares. Esto permite la realización de circuitos de gran escala de integración (L S1).

Aunque componente por componente, los dispositivos C-MOS son más caros que los equivalentes TTL, el costo del sistema global puede ser sustancialmente menor, debido a que la fuente de alimentación en los sistemas C-MOS es

más económica, a consecuencia de su reducido consumo y con menos requisitos de regulación.

Tampoco necesitan ventiladores u otros sistemas de enfriamiento debido a la baja disipación.

A continuación, se hará un breve repaso de las características físicas de los transistores MOS de efecto de campo, estructura básica de la familia de integrados que estamos tratando. Si bien no es propósito fundamental de este libro hacer demasiado hincapié en la física del semiconductor, consideramos que puede resultar de interés realizar un somero análisis de estas características.

2. Principios básicos de los transistores MOS de efecto de campo

Los transistores de efecto de campo tienen algunas características que poseían las antiguas válvulas termoiónicas –entre ellas– la alta impedancia de entrada. Pero en lo demás, poseen las ventajas inherentes a los dispositivos de estado sólido: tamaño pequeño, bajo consumo de potencia, robustez mecánica, no emplean filamento de caldeo, etc.

Los transistores de efecto de campo son dispositivos *unipolares*, a diferencia de los dispositivos *bipolares*, cuyo desempeño depende de la interacción de los tipos de cargas portadoras, lagunas y electrones. En los primeros la operación es básicamente una función de solo un tipo de carga portadora, lagunas o nuecos en los dispositivos de canal P y electrones en los dispositivos de canal N.

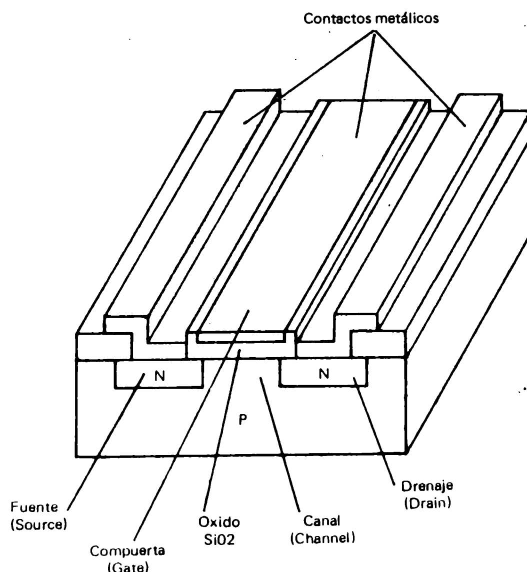


Fig. 1-1: Estructura básica de un transistor MOS (metal-óxido-semiconductor).

La estructura básica de un transistor MOS (metal-óxido-semiconductor) se muestra en la fig. 1-1. De inmediato se justifica la designación de este dispositivo, por la intervención de sus partes estructurales.

Puede observarse la existencia de un cristal que puede ser de material N o P (en la figura, P) y en el cual se realizan dos difusiones de impurezas de tipo contrario. Una de estas difusiones se denomina *drenaje* y la otra *fuente*. La zona que separa ambas difusiones se denomina *canal*, y sobre ella se deposita una capa de óxido (Si02), a continuación de la cual se deposita otra capa de metal, que constituye, la *compuerta*. La capa de óxido es altamente aislante y por esa razón, la compuerta, que equivaldría a la grilla o rejilla de las válvulas termoiónicas, presenta una altísima impedancia a la corriente continua.

La operación de los dispositivos de efecto de campo pueden ser explicados en términos de concepto de control de carga. El electrodo metálico de control, denominado compuerta, actúa como elemento de almacenamiento de carga o elemento de control. Una carga aplicada a la compuerta induce una carga de igual valor pero de signo opuesto en el estrato semiconductor situado debajo de la compuerta, denominado canal.

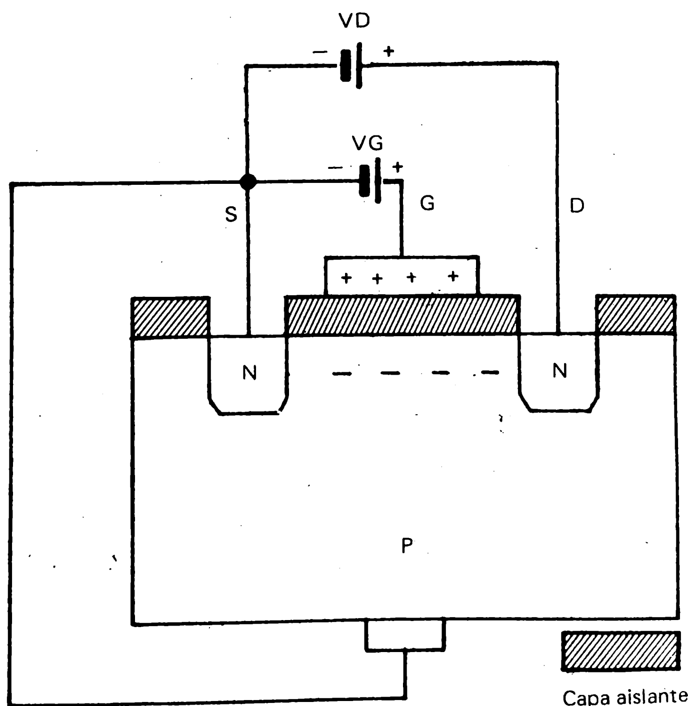


Fig. 1-2 Corte esquemático de un transistor MOS de canal N.

En la fig. 1-2 se ha dibujado la sección de un transistor MOS de canal N. Se aplica una tensión de continua entre el drenaje y la fuente, representada por VD.

Para los conocedores del funcionamiento de las válvulas, el drenaje equivaldría a la placa y la fuente al cátodo. Para los acostumbrados a los transistores bipolares, la correspondencia sería respectivamente: el colector y el emisor. Otra tensión de continua se aplica entre la compuerta y la fuente. La acumulación de cargas positivas sobre la compuerta está indicada por los signos (+).

Esta carga induce electrones en la región del canal situada debajo de la compuerta. De tal manera, la región del canal cambia del tipo P al tipo N y provee un camino de conducción entre la fuente del tipo N y el drenaje también del tipo N.

Cabe consignar que hay dos tipos básicos de transistores MOS: del tipo de empobrecimiento (depletion) y del tipo de enriquecimiento (enhancement).

En el tipo de canal N empobrecido, la zona del canal contiene exceso de electrones aún en ausencia de tensión de compuerta y entonces existe una cierta corriente entre drenaje y compuerta.

Para anular dicha corriente se hace necesario polarizar negativamente la compuerta con respecto a la fuente, para repeler los electrones existentes en la zona del canal. En cambio, en los transistores MOS de enriquecimiento, la zona del canal es del tipo P en ausencia de tensión de compuerta y la corriente de fuente a drenaje es nula.

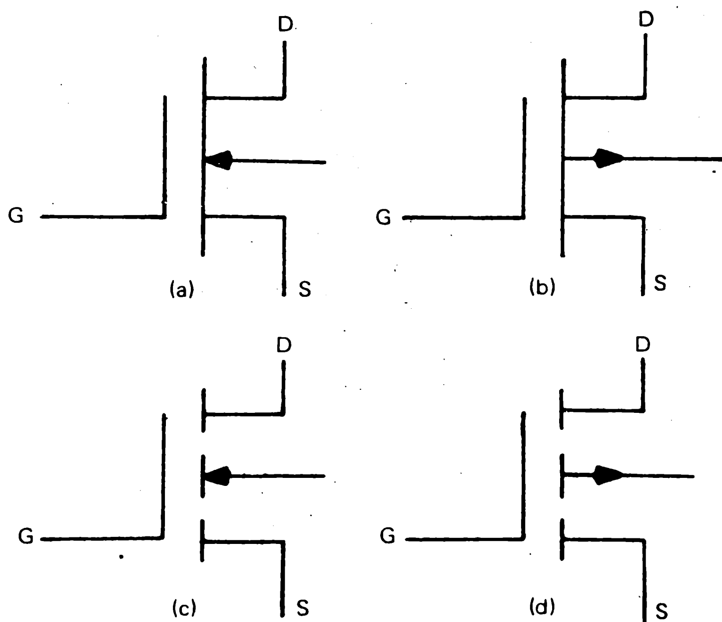


Fig. 1-3: Símbolos utilizados en la representación de dispositivos MOS. a) MOS de empobrecimiento de CANAL N. b) MOS de empobrecimiento de canal P. c) MOS de enriquecimiento de canal N. d) MOS de enriquecimiento de canal P.

Para provocar un flujo de corriente es necesario la compuerta con una tensión positiva que supere un determinado valor de umbral (threshold), a partir de la cual la zona del canal se transforma en tipo N.

En la fig. 1-3 se muestran los símbolos para los distintos tipos de transistores MOS.

En (a) se muestra el símbolo correspondiente a un MOS de empobrecimiento de canal N, en (b) el correspondiente a un MOS de empobrecimiento de canal P, en (c) el correspondiente a un MOS de enriquecimiento de canal N, y finalmente, en (d) el correspondiente a un MOS de enriquecimiento de canal P.

La compuerta está representada mediante dos líneas en ángulo recto, con el tramo horizontal más cercano a la fuente. El tipo de canal N se indica mediante una flecha que entra al transistor, y el tipo P por una flecha que sale del mismo. En los transistores de empobrecimiento, la línea que une la fuente y el drenaje se representa mediante un trazo continuo, queriendo significar con ello que hay conducción cuando la tensión de compuerta es nula. En cambio, en los del tipo de enriquecimiento, dicho trazo es discontinuo, interpretándose con ello que no hay conducción cuando no se polariza la compuerta.

Los terminales se han representado con las iniciales de la terminología inglesa (consideramos importante que el lector se familiarice con ellas, pues es la más usual en la literatura técnica), correspondiendo G a *gate* (compuerta), D a *drain* (drenaje) y S a *source* (fuente). El trazo que incluye la flecha corresponde al sustrato (o material de base).

Aquí finalizamos con las generalidades referidas a los transistores MOS, pues concretamente, en todos los integrados C-MOS interviene un único tipo, que es el de enriquecimiento. La fig. 1-4 muestra la corriente de drenaje, en función de la tensión compuerta a fuente, en un transistor MOS de enriquecimiento. Nótese el incremento de la corriente a partir de un punto de la tensión compuerta a fuente denominado umbral (VTH), y como por debajo de ese punto la corriente de drenaje es nula. Esta característica hace esta configuración óptima para aplicaciones en conmutación.

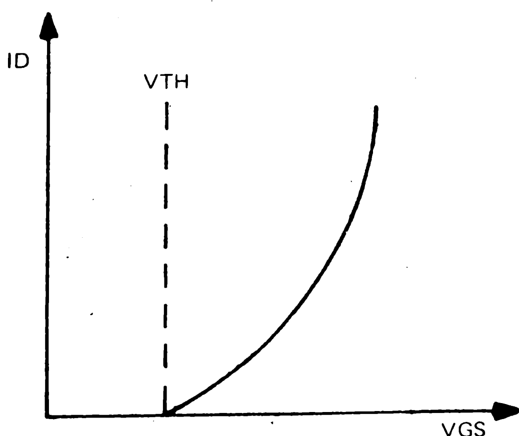


Fig. 1-4: Características de transferencia de un dispositivo MOS de enriquecimiento (corriente de drenaje en función de la tensión de compuerta a fuente).

La denominación *complementaria* que caracteriza a esta lógica nace de la combinación de ambos dispositivos MOS, tipo N y tipo P que intervienen en su estructura, que en su forma más simple consiste en la configuración mostrada en la fig. 1-5, que corresponde a un *inversor* de simetría complementaria. Aquí encontramos dos transistores MOS de polaridad opuesta conectados en serie. Las compuertas, de canal P y de canal N están interconectadas, y lo mismo sucede con los terminales de drenaje. Los terminales de fuente corresponden a positivo y negativo de alimentación.

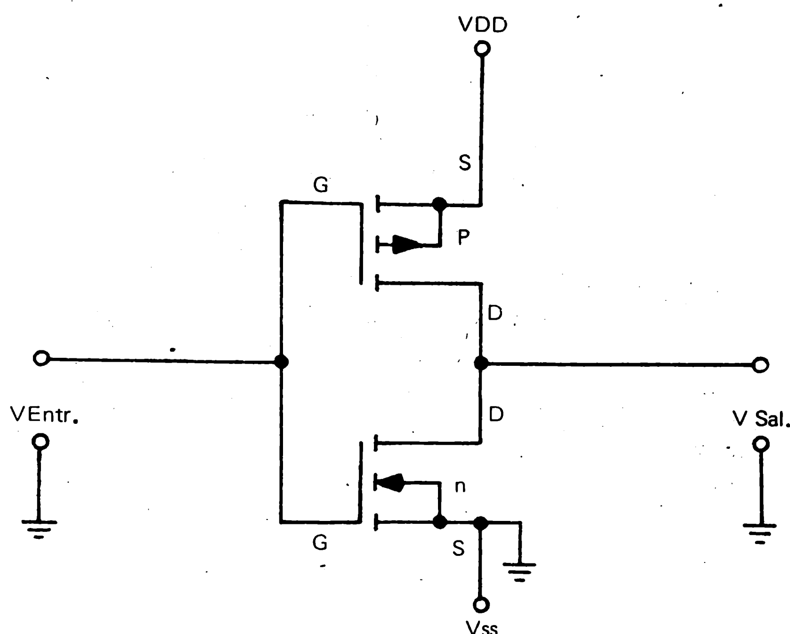


Fig. 1-5: Combinación de dos tipos complementarios de transistores MOS para conformar un sistema inversor.

Todas las compuertas lógicas poseen esta estructura básica, desarrollada en mayor o menor complejidad. Más adelante volveremos en detalle sobre estos bloques estructurales de circuitos integrados C-MOS.

3) Familias de integrados C-MOS

La primera familia de circuitos integrados C-MOS que salió al mercado corresponde a la ya difundida serie CD4000. La compañía RCA ha sido la pionera en este campo, seguida inmediatamente por otros fabricantes. El rango de operación de la fuente de alimentación para estos dispositivos, abarca, típicamente de 3 a 15 voltios. La máxima frecuencia de operación de los dispositivos secuen-

ciales, depende sensiblemente de la tensión de alimentación (es mayor con las tensiones más altas), y la expectativa más favorable la sitúa alrededor de los 7 MHz.

Otro aspecto a tener en cuenta es la cargabilidad de las salidas, es decir, la máxima corriente que puede extraerse de los dispositivos. También estos valores son dependientes de la tensión de alimentación, siendo mayor la capacidad de suministro de corriente con las tensiones de alimentación más altas. Para una tensión de 12 V, la corriente típica ronda en los 5 mA, aunque varía de acuerdo al dispositivo. De todos modos, cuando se trata de excitar circuitos de potencia desde salidas C-MOS, siempre se trata de intercalar suficientes etapas intermedias como para no extraer del dispositivo mas de 1 ó 2 mA.

Existe otra línea de circuitos integrados C-MOS, introducida por National Semiconductors, que corresponde a la serie 54C/74C. Esta línea de integrados tiene correspondencia en cuanto a terminales y equivalentes funcionales con muchos componentes populares de la serie TTL 7400. Ofrece varias mejoras con respecto a la serie 4000A, ya que es un 50% más rápida, y posee un 50% más de cargabilidad de salida.

La diferencia entre las series 54C y 74C radica en los rangos de temperatura: −55°C a + 125°C para la primera, y −40°C a + 85°C para la segunda.

Más recientemente, la compañía mencionada ha introducido al mercado una nueva familia de lógica C-MOS de alta velocidad, la serie 54/74 HC (existe una fuente alternativa en Motorola).

Esta serie iguala la velocidad de la familia de integrados bipolares (74LS), manteniendo muchas ventajas de los integrados C-MOS: alta inmunidad frente al ruido, amplio rango de tensión de alimentación, amplio rango de temperatura de operación y baja disipación de potencia. Adicionalmente, esta familia C-MOS ofrece una equivalencia en las conexiones de los terminales con la serie 74LS, y en la capacidad de manejo de corriente de salida (4 mA).

Algunos componentes populares de la serie CD4000 tienen su equivalente en esta nueva tecnología de alta velocidad. Por ejemplo, el CD4060 tiene su correspondencia en el MM 74 HC4060.

El drástico aumento de la velocidad de respuesta, se ha logrado merced a una reducción de la longitud de la capa de difusión (64 micrones contra 125 micrones en los C-MOS anteriores para realizar un inversor lógico). Esto reduce en dos veces las capacitancias parásitas en el nuevo proceso. A esto hay que agregar un aumento de 4 a 1 en la ganancia de los transistores en la nueva tecnología, debida a la menor longitud del canal, menor espesor del óxido de la compuerta y menor tensión de umbral. Todo esto contribuye al logro de un aumento de la velocidad entre ocho y diez veces respecto a los C-MOS anteriores.

La familia lógica 54/74 HC tiene un rango de operación de 2 a 6 V. El límite máximo de 6 V resulta por la reducción de la longitud del canal, lo que puede traer aparejada la ruptura entre el drenaje y la fuente. Una futura reducción de la longitud del canal llevará a una nueva franja de la tensión de alimentación, comprendida entre 2 y 3 V para los productos de integración en muy alta escala (VLSI).

4) Bloques estructurales básicos para los circuitos integrados C-MOS

A continuación veremos cómo se estructuran los transistores de canal N y canal P para formar los distintos dispositivos lógicos que integran la familia C-MOS.

Existen dos configuraciones básicas: el *inversor* (fig. 1-5) y la *compuerta de transmisión* (fig. 1-6). El primero interviene en la estructura de las compuertas de lógica combinatoria: compuertas NOR y NAND, mientras que su combinación con las compuertas de transmisión constituye la estructura básica de circuitos mas complejos, como biestables, contadores, registros de desplazamiento, bloques aritméticos y memorias.

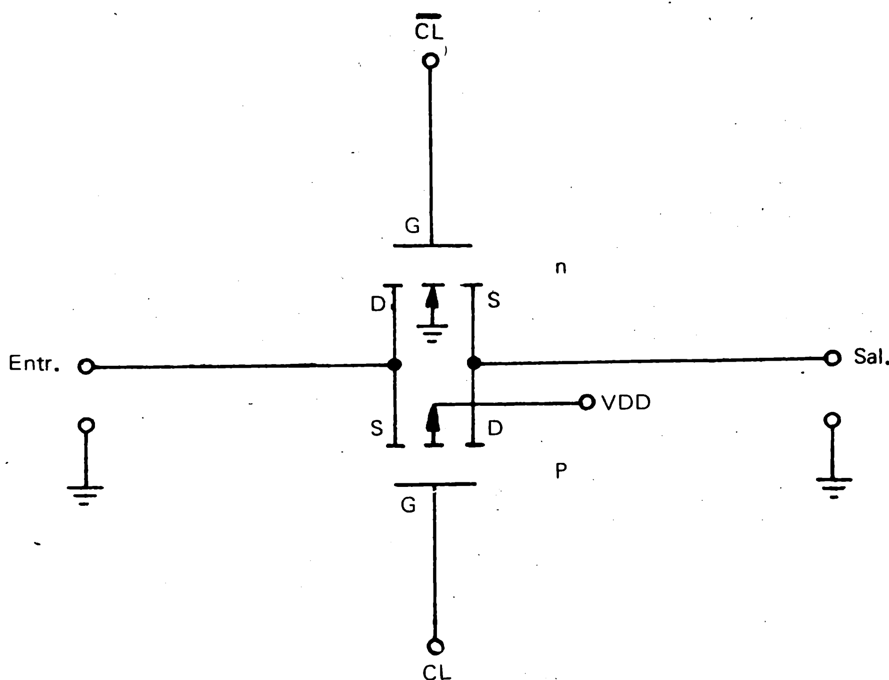


Fig. 1-6: Compuerta de transmisión, utilizada en sistemas de media y alta complejidad.

Veamos en primer lugar la estructura y funcionamiento de la puerta más sencilla, el inversor. Remitiéndonos a la fig. 1-5, observamos que consta de dos transistores MOS conectados en serie y unidos por el terminal de drenaje. El transistor superior es de canal P, y su terminal de fuente junto con el sustrato van conectados a VDD (positivo de alimentación). El transistor inferior es de canal N, y su terminal de fuente junto con el sustrato van conectados a VSS (negativo de alimentación). Las compuertas van unidas, y constituyen el terminal de entrada. La unión de los dos terminales de drenaje constituyen el terminal de salida.

Nótese que se han indicado los terminales con la simbología inglesa: S corresponde a fuente, D a drenaje, G a compuerta. Veamos entonces cuales son los estados de la salida para los distintos niveles de tensión de la entrada. Recordemos que en lógica digital, sólo existen dos niveles bien definidos, representados por *1* (nivel alto, correspondiente casi a la tensión de positivo o VDD de la fuente de alimentación) y *O* (nivel bajo, correspondiente a negativo de la fuente de alimentación, normalmente *masa*). No existen por lo tanto niveles de tensión intermedios, como en el caso de los dispositivos analógicos.

Cuando la tensión de entrada al inversor es cero (lógica 0), el transistor superior, de canal P conduce (es decir, existe un camino de baja resistencia entre VDD y el terminal de salida), mientras que el transistor inferior, de canal N está bloqueado (altísima resistencia entre el terminal de salida y masa).

La explicación de esto es sencilla. Si nos referimos a la fig. 1-2, donde está representado un transistor de canal N, debemos imaginar la situación ahora con una polarización nula de la compuerta. Como en los transistores MOS de enriquecimiento no existe conducción en esas condiciones, el transistor permanece bloqueado.

Este es el estado que corresponde al transistor inferior del inversor. En cambio, para el transistor superior, de canal P, debemos efectuar los siguientes cambios en la Fig. 1-2: sustrato de material N, y drenaje y fuente de material P. La polarización de la compuerta es negativa respecto a la fuente y sustrato (que están conectadas al positivo de la fuente), por lo que la presencia de cargas negativas sobre la compuerta inducirá cargas positivas en la región del canal y consecuentemente existirá un camino de conducción entre fuente (positivo) y drenaje (negativo).

Volviendo a la Fig. 1-5, tenemos entonces un camino de baja impedancia entre VDD y la salida, y un camino de muy alta impedancia entre la salida y masa. Por lo tanto, la tensión de salida se aproxima a VDD, es decir, lógica 1. Si sustituimos los dos transistores por sendas llaves, la situación podría ser representada como lo indica la fig. 1-7.

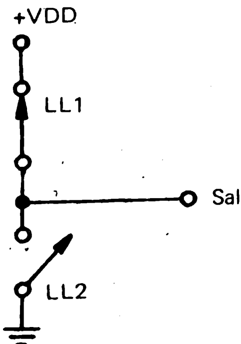


Fig. 1-7: Representación simbólica del caso de la fig. 5, donde los transistores se remplazan hipotéticamente por llaves.

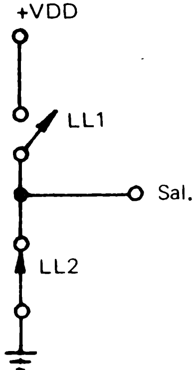


Fig. 1-8: Representación simbólica de otra situación de polarización, para el caso de la fig 5

La llave LL1 está cerrada y la llave LL2 está abierta. Evidentemente, la tensión a la salida es idéntica a + VDD.

Si la tensión de entrada al inversor de la fig. 1-5 es + VDD (lógica 1), la situación se invierte: el transistor superior, de canal P se bloquea, y el transistor inferior, de canal N, conduce, con el resultado de que la tensión de salida se aproxima a cero (lógica o). La simbolización con llaves de la fig. 1-8, ilustra esta nueva situación. LL1 está abierta y LL2 cerrada. La tensión a la salida será cero (masa).

Como se observará, la tensión (o nivel lógico) presente a la salida es opuesta a la presente a la entrada. De ahí se justifica la denominación de *inversor* para este dispositivo.

Un detalle significativo es que, en cada estado lógico, uno de los transistores MOS está en conducción, mientras que el otro está bloqueado. Puesto que uno de los dos transistores permanece siempre bloqueado, la potencia consumida en reposo de las unidades C-MOS es extremadamente baja, más precisamente, es igual al producto de la tensión de la fuente y las corrientes de fugas.

La fig. 1-9 muestra las dos formas de representación simbólica de un inversor.



Fig. 1-9: Representación esquematizada de un inversor, en sus dos formas.

La *compuerta de transmisión* (fig. 1-6) es en realidad una llave electrónica formada por la conexión en paralelo de un dispositivo de canal P y uno de canal N. Esta configuración permite expandir la versatilidad de los circuitos C-MOS en ambas aplicaciones: digital y lineal. Una llave ideal o perfecta puede ser concebida como poseyendo resistencia cero, tanto en sentido directo como inverso, cuando está cerrada, y resistencia infinita cuando está abierta.

La compuerta de transmisión C-MOS se aproxima a esas condiciones ideales. Las ventajas de la compuerta de transmisión C-MOS puede ser comprendida mejor si se considera primero la compuerta de transmisión, realizada con un transistor MOS único de canal N, que excita una carga capacitiva desde una fuente de tensión positiva, fig. 1-10.

Con una tensión de cero voltios aplicada a la compuerta de un dispositivo de canal N, no existe flujo de corriente, y la carga capacitiva CL permanece descargada. Cuando la tensión de compuerta (tensión de control) se hace suficientemente positiva, como para hacer conducir al transistor, el capacitor CL comienza a cargarse. Sin embargo, la carga capacitiva sólo puede cargarse al nivel de la tensión de compuerta menos la tensión de umbral del transistor de canal N, puesto que la compuerta de transmisión simple, funciona como circuito seguidor emisivo, donde ocurre un prematuro corte de compuerta.

Un aspecto destacable de las compuertas de transmisión MOS es que son

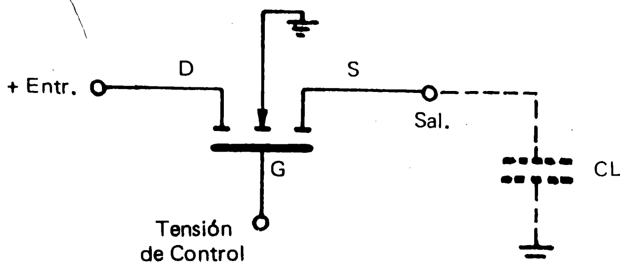


Fig. 1-10: Compuerta de transmisión con transistor único MOS de canal N.

bilaterales, es decir, que los terminales de fuente y drenaje son intercambiables.

Una forma más ventajosa de realizar una compuerta de transmisión es conectando un MOS de canal N y un MOS de canal P en paralelo (fig. 1-6). El terminal de drenaje de un transistor está conectado a la fuente del otro y viceversa.

Esta configuración corrige el problema del corte prematuro, puesto que uno de los canales opera siempre como etapa cargada por drenaje, indistintamente de cual pudiera ser la tensión de entrada o de salida. Si cada canal MOS posee una tensión de umbral de 2 V, y si se aplica cero voltios a la compuerta de la unidad de canal P y 10 V a la compuerta de la unidad de canal N, un incremento en la tensión de entrada a 8 V (10 V – 2 V) no puede conmutarse a través de la unidad de canal N. Sin embargo, ello puede ocurrir en la unidad de canal P, puesto que la magnitud de la tensión de compuerta a fuente (0 V – 8 V = –8 V) es mayor que la tensión de umbral de la unidad de canal P (–2 V).

Como resultado de ello, la llave no se abre prematuramente, puesto que las tensiones de compuerta a fuente de ambas unidades de canal N y canal P no son nunca iguales a las tensiones de umbral de esos dispositivos. Puede ser conmutada, entonces, la plena tensión de alimentación de 10 V (VDD–VSS = 10 V).

La compuerta de transmisión C-MOS es también considerablemente más rápida que la compuerta de trasmisión realizada con un único transistor MOS, puesto que la constante RC es siempre menor.

Si se combina una compuerta de transmisión con el circuito básico de inversor se tiene el circuito de la fig. 1-11, que forma una llave de una vía. Se requiere únicamente una tensión de control, puesto que el inversor provee la tensión de control necesaria para la unidad complementaria. El circuito de la fig. 1-11 se utiliza en una variedad de aplicaciones analógicas y digitales de multiplexación.

En la fig. 1-12 se muestra la forma simbólica de representar una compuerta de transmisión (transmission gate), como se lo puede encontrar en los manuales de circuitos integrados.

Seguidamente, veremos como se implementan las compuertas lógicas NAND y NOR mediante inversores. Veamos en primer término la compuerta NAND; en la fig. 1-13 se muestra el símbolo y la Tabla de Verdad de esta compuerta. La Tabla de Verdad indica el estado de la salida para cada combinación de esta-

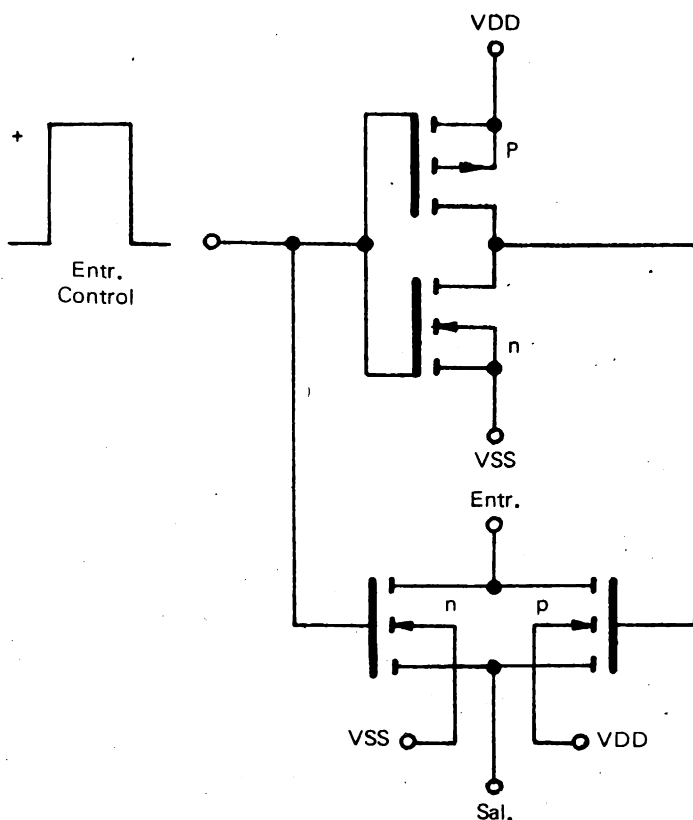


Fig. 1-11: Combinación de una compuerta de transmisión con un inversor básico.

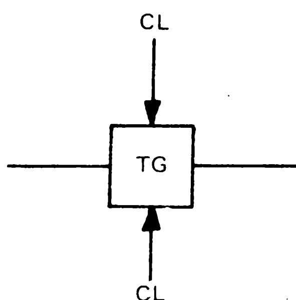
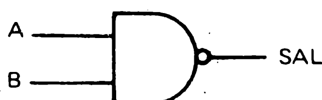


Fig. 1-12: Representación esquematizada de una compuerta de transmisión.



A	B	Sal
0	0	1
1	0	1
0	1	1
1	1	0

Fig. 1-13: Símbolo de una compuerta NAND y su tabla de verdad.

dos de las entradas, y se ha representado una compuerta NAND de dos entradas, que vendría a ser la mínima expresión de dicha compuerta, y como se puede apreciar por la Tabla de Verdad, la salida es de nivel bajo solamente cuando ambas entradas están a nivel alto.

Si vamos al esquema estructural de la Fig. 1-14, vemos que los dos transistores superiores son de canal P y están en paralelo, mientras que los dos inferiores son de canal N y están en serie. Si a ambas entradas que están unidas cada una a las compuertas de un par P y N están a nivel 1, los transistores de canal P estarán bloqueados y los transistores de canal N conducirán. La salida entonces se aproximará a potencial de masa.

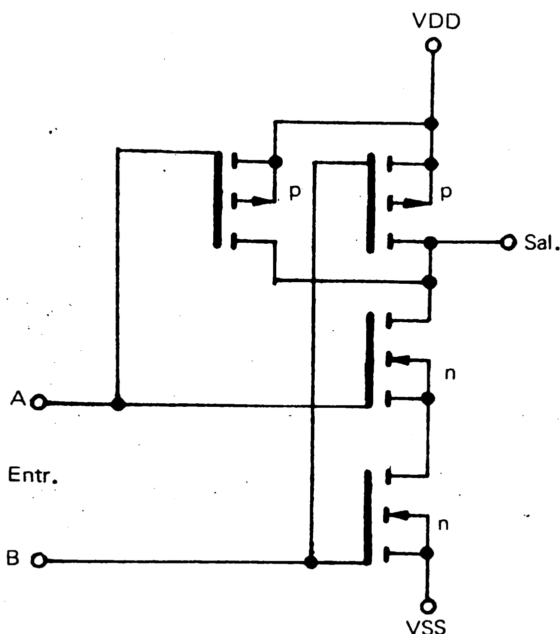


Fig. 1-14: Estructura Interna de una compuerta NAND.

Esta condición está ejemplificada mediante llaves que simulan el estado de los transistores, en la fig. 1-15. Al estar abiertas las llaves LL1 y LL2, mientras permanecen cerradas las llaves LL3 y LL4, la salida queda a nivel VSS, es decir, nivel lógico 0.

Si una de las entradas está a nivel lógico 0, el correspondiente transistor de canal P entrará en conducción, y el transistor de canal N cuya compuerta está conectada a esa entrada, quedará bloqueado. La salida quedará unida a VDD, es decir, irá a nivel lógico 1, y esta situación está esquematizada por los estados de las llaves de la fig. 1-16, donde al estar cerradas las llaves LL2 y LL3, mientras permanecen abiertas las llaves LL1 y LL4, la salida estará a nivel lógico 1.

La fig. 1-17 muestra el símbolo y la Tabla de Verdad de una compuerta NOR de dos entradas. Como se puede deducir de la Tabla de Verdad, la salida estará a nivel 1 sólo cuando ambas entradas permanezcan a nivel lógico 0.

En el esquema estructural de la fig. 1-18 vemos que los dos transistores superiores son de canal P y están en serie, mientras que los dos transistores inferiores

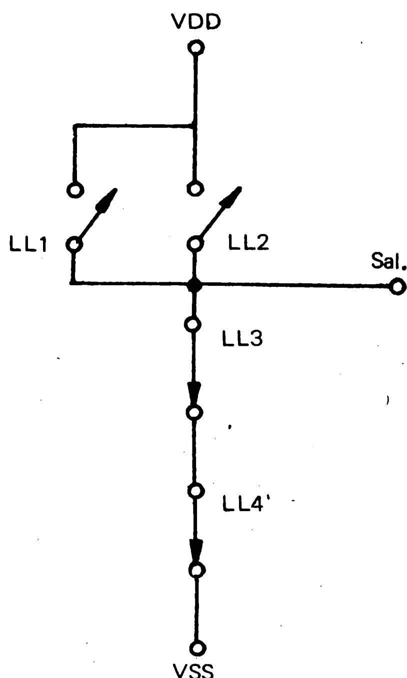


Fig. 1-15: Simbolización de una compuerta NAND, remplazando los transistores MOS por llaves.

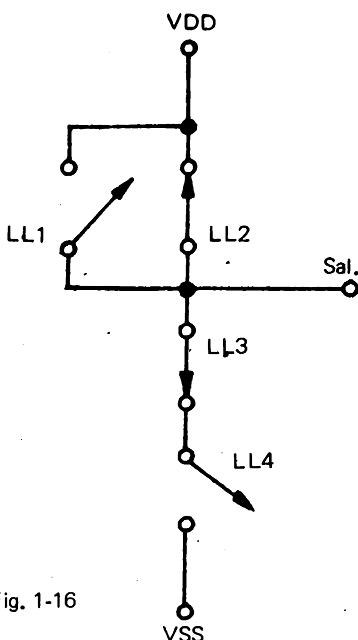
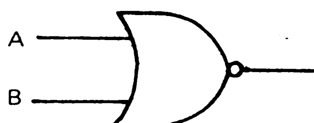


Fig. 1-16: Situación de las llaves de la fig. 15 para nivel lógico 1 en la salida.



A	B	Sal.
0	0	1
0	1	0
1	0	0
1	1	0

Fig. 1-17: Símbolo de una compuerta NOR y su tabla de verdad.

son de canal N y están en paralelo. Si ambas entradas están a nivel lógico 0, los transistores de canal P conducirán y los transistores de canal N estarán bloqueados, por lo que la salida estará a nivel lógico 1.

Esta situación está ejemplificada por el estado de las llaves de la fig. 1-19. Las llaves LL1 y LL2 están cerradas, mientras que las llaves LL3 y LL4 permanecen abiertas, por lo que el nivel lógico de la salida es 1.

Si una de las entradas está a nivel lógico 1, queda bloqueado el transistor de canal P cuya compuerta está unida a esa entrada, conduce el transistor de canal N correspondiente, y por lo tanto la salida permanecerá a nivel lógico 0. La fig. 1-20, con los ejemplos de las llaves, ilustra esta condición; LL1 y LL3 están abiertas mientras que LL2 y LL4 están cerradas encontrándose la salida entonces, a nivel lógico cero (a través de LL4).

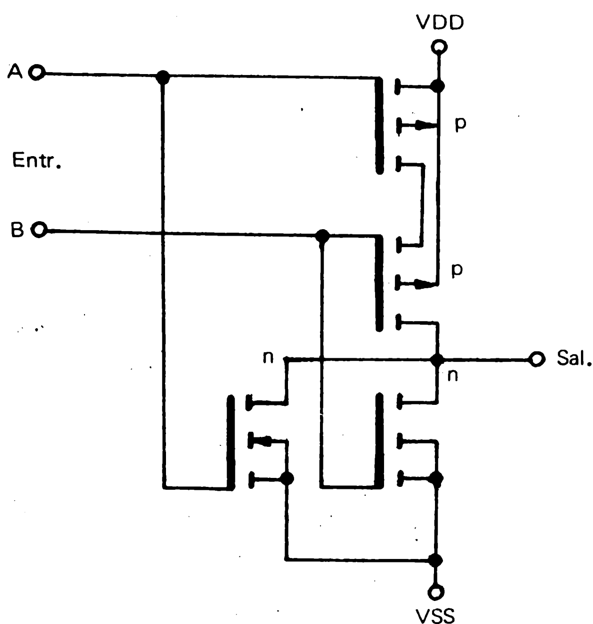


Fig. 1-18: Estructura interna de una compuerta NOR.

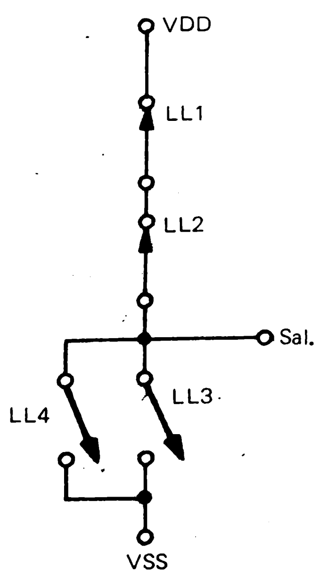


Fig. 1-19: Remplazo de los transistores por llaves, en una compuerta NOR.

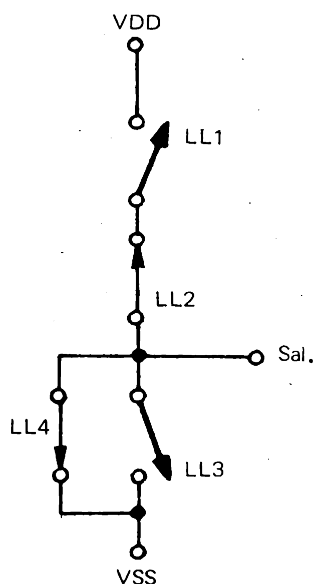


Fig. 1-20: Situación de las llaves de la fig. 19 para el nivel lógico 0 en la salida.

5. Precauciones a seguir en el manipuleo de integrados C-MOS

Aunque los integrados C-MOS están internamente protegidos, es conveniente seguir algunas reglas cuando se trabaja con ellos, para evitar dañarlos en forma permanente.

Como los transistores MOS de compuerta aislada poseen una altísima impedancia de entrada, las cargas estáticas o campos eléctricos intensos podrían dañarlos severamente, si se tiene en cuenta, por ejemplo, que una persona caminando sobre un piso encerado puede almacenar una carga estática comprendida entre 4 y 15 KV (bajo ciertas condiciones). Para evitar estos inconvenientes, se incluye un circuito de protección de las entradas de los dispositivos C-MOS, circuito que se muestra en la fig. 1-21.

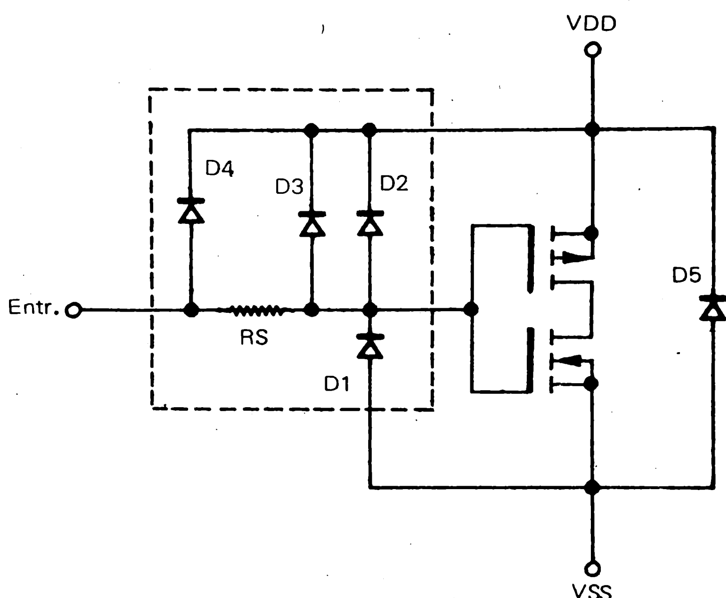


Fig. 1-21: Circuito de protección (en línea de puntos) para evitar el deterioro de los MOS frente a cargas estáticas o campos eléctricos intensos.

Como se vé, consta de una serie de diodos y un resistor RS, cuyo valor típico es de 1500Ω. Los diodos D1 y D2 proveen un camino para las sobretensiones de entrada, derivándolas según su polaridad a VDD o a VSS. Los diodos D3 y D4 se forman como resultante de la difusión en la fabricación de RS.

La inclusión de estos diodos a su vez, genera la necesidad de tomar algunas precauciones adicionales. Por ejemplo, debe evitarse interrumpir la tensión de alimentación mientras se está excitando cualquier entrada de un C-MOS con un generador de pulsos de baja impedancia, pues se podría dañar D4 por una excesiva corriente circulante a través del mismo, cuando la entrada es positiva, y el retorno a través de la fuente ofrece un camino de baja resistencia. Por esta misma

razón, no debe ingresarse a la entrada de un C-MOS con una tensión más positiva que la tensión de alimentación.

Otra regla importante es no dejar flotantes las entradas que no se utilizan, y deben conectarse a VDD o a VSS. En determinadas circunstancias la elección no puede ser arbitraria, por ejemplo en el caso de una compuerta de múltiples entradas, de las cuales se utiliza solo una parte.

Si se trata de una compuerta NAND, las entradas no utilizadas deben ir al positivo de la fuente, mientras que en el caso de una compuerta NOR, irán a masa. También es posible conectar las entradas no utilizadas a otras entradas.

No deben insertarse o removerse los dispositivos C-MOS con la tensión de alimentación conectada, cuando se utilizan zócalos. Debe verificarse que las fuentes de alimentación utilizadas para probar los dispositivos no posean transitorios.

Los componentes C-MOS deben ser almacenados o transportados en recipientes antiestáticos. No deben insertarse los integrados C-MOS en planchas de plástico del tipo *espuma* o *nieve,* como se acostumbra hacer con los bipolares. Es preferible dejarlos en su envase original hasta el momento de utilizarlos.

Durante la soldadura de los terminales, conviene que el soldador esté puesto a masa, así como el dispositivo metálico que se utilice para enderezar los terminales.

6. Circuitos básicos con C-MOS

En esta sección, vamos a describir configuraciones elementales realizadas con compuertas C-MOS, como ser: osciladores astables, monostables y amplificadores lineales.

Además, se brindarán circuitos de aplicación básica de divisores y contadores, así como ideas generales para elaborar las realizaciones prácticas de la segunda parte del libro.

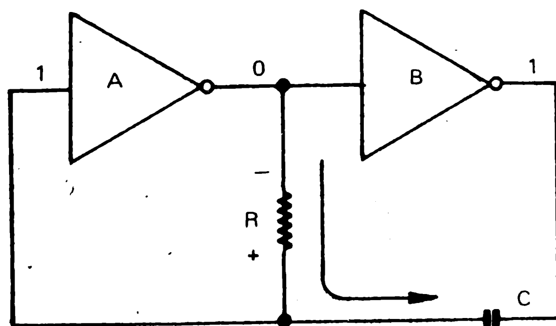


Fig. 1-22: Multivibrador de oscilación libre (astable) construido con dos inversores MOS.

La fig. 1-22 muestra un circuito de oscilador o *multivibrador astable* realizado con dos inversores. En su forma elemental, solo requiere el agregado de un

capacitor y un resistor, que conforman la constante de tiempo. Debido a la alta impedancia de entrada de los dispositivos C-MOS, es posible lograr constantes de tiempo largas utilizando capacitores de valor relativamente bajo, lo que disminuye el costo y las dimensiones.

En lugar de los inversores, se pueden utilizar también compuertas NOR ó NAND simplemente uniendo las entradas. Esta posibilidad debe tenerse presente, por ejemplo, cuando sobran compuertas de ese tipo de otras partes del circuito.

Antes de entrar en detalle sobre el funcionamiento del oscilador astable, veamos en la fig. 1-23 una curva de característica de transferencia típica de una compuerta C-MOS. De acuerdo a la misma, puede observarse que el punto de conmutación ocurre aproximadamente a un 50% de la tensión de alimentación.

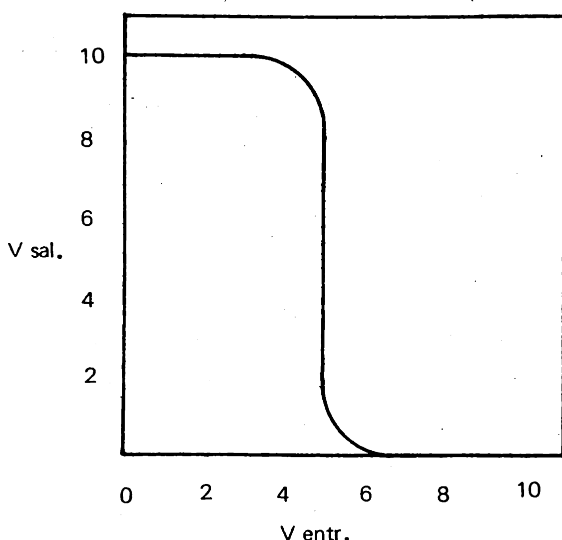


Fig. 1-23: Curva de transferencia típica de una compuerta CMOS: La conmutación se obtiene aproximadamente al 50% de la tensión de alimentación.

Volviendo a la fig. 1-23, el funcionamiento del oscilador se explica de la siguiente manera: supóngase que en determinado momento la salida del inversor *B* está a nivel 1, en tanto que la entrada del mismo inversor tendrá entonces el nivel 0. El capacitor C comenzará a cargarse a través del resistor R, con el flujo de electrones indicado por la flecha.

La entrada del inversor A estará entonces al comienzo del ciclo a nivel 1, por ser el que corresponde al punto de unión de R y C. El estado de los inversores permanece entonces invariable, pero a medida que el capacitor se va cargando, el flujo de electrones disminuye y llega un momento en que el potencial en el punto de unión del capacitor y el resistor pasa por la zona de la curva de transferencia en que se produce la conmutación del inversor A, es decir, que su entrada

pasa a nivel lógico 0, su salida y la entrada del inversor B a nivel 1, y la salida de este último a nivel 0. Se invierte entonces la polaridad aplicada al capacitor, y este comienza a descargarse, siendo el sentido del flujo de electrones opuesto al indicado en la fig. 1-22. El punto de unión de C y R está a potencial negativo (masa) hasta que finaliza la descarga de C.

Cuando ese potencial pasa por el punto de la curva de transferencia en que se produce la conmutación, la entrada del inversor A pasa nuevamente a nivel lógico 1 y se reinicia el ciclo. A la salida del inversor B se obtiene entonces una onda cuadrada, cuyo período depende de la constante RC. La fórmula que da dicho período es, como muestra la fig. 1-24:

$$T = 1{,}4\ RC$$

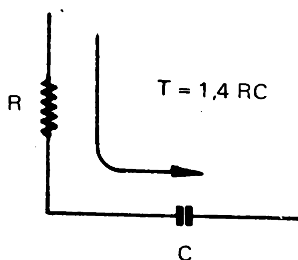


Fig. 1-24: Determinación del período de oscilación para el circuito de la fig. 22.

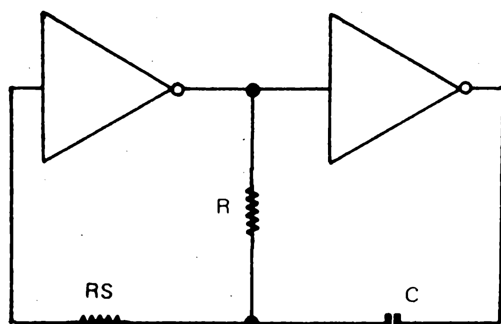


Fig. 1-25: Circuito más elaborado de un multivibrador astable con inversores MOS.

donde T se expresa en segundos, R en ohms y C en faradios. O también, para adecuarla a magnitudes más utilizadas en la práctica: R en megohms y C en microfaradios. Esta fórmula es aproximada, pues es influida en cierto grado por el valor de la tensión de transferencia. Para hacer al circuito más independiente de ese parámetro (que varía de componente a componente) y de las variaciones de la tensión de alimentación, se agrega un resistor RS, cuyo valor generalmente se establece en el doble del valor de R (fig. 1-25). En este caso, el período está dado aproximadamente por:

$$T = 2{,}5\ RC$$

Si se utiliza un potenciómetro en lugar de R, puede variarse la frecuencia de salida del oscilador en un amplio rango. El ciclo de trabajo en las configuraciones expuestas es aproximadamente del 50%, y se puede variar derivando parte del resistor R de la constante de tiempo, mediante un diodo (fig. 1-26). Con la polaridad del diodo indicada, se obtiene una forma de salida como la indicada en la misma figura, esto es, con el período de lógica 1 de mayor duración que el período de lógica 0.

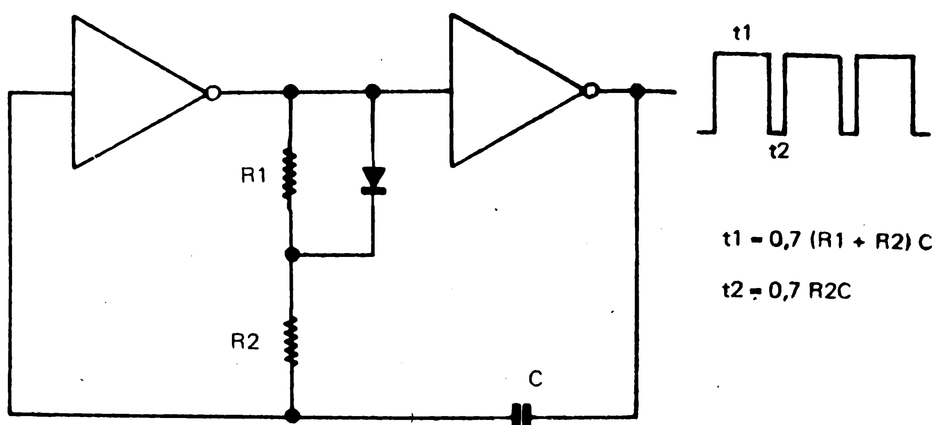


Fig. 1-26: Multivibrador con ciclo de trabajo no simétrico, debido a la inclusión de un diodo.

Si se invierte la polaridad del diodo se tendrá la situación inversa, es decir, el período de lógica 1 será de menor duración que el período de lógica 0.

Variando la relación entre la resistencia derivada por el diodo y la no derivada, se varía el ciclo de trabajo.

A veces es deseable controlar la acción de un oscilador astable mediante señales lógicas. Un ejemplo de tal control se aprecia en la fig. 1-27; el oscilador funcionará cuando haya un nivel lógico 0 en la entrada de control y dejará de funcionar con un nivel lógico 1, puesto que los estados lógicos de los inversores son forzados a un nivel permanente.

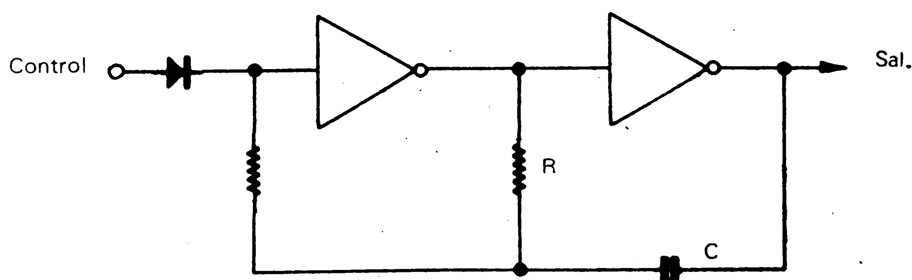


Fig. 1-27: Control de un multivibrador astable mediante señales lógicas.

Un control similar podrá efectuarse utilizando compuertas NAND o NOR (fig. 1-28), de dos entradas. Una de las entradas forma parte del oscilador, mientras que la otra entrada hace las veces de control. En el caso de una compuerta NAND, el oscilador se habilita con un nivel alto, mientras que en el caso de una compuerta NOR, el oscilador se habilita con un nivel bajo.

A veces, la elección entre una u otra compuerta queda determinada por la conveniencia del estado lógico de la salida durante la inhabilitación del oscila-

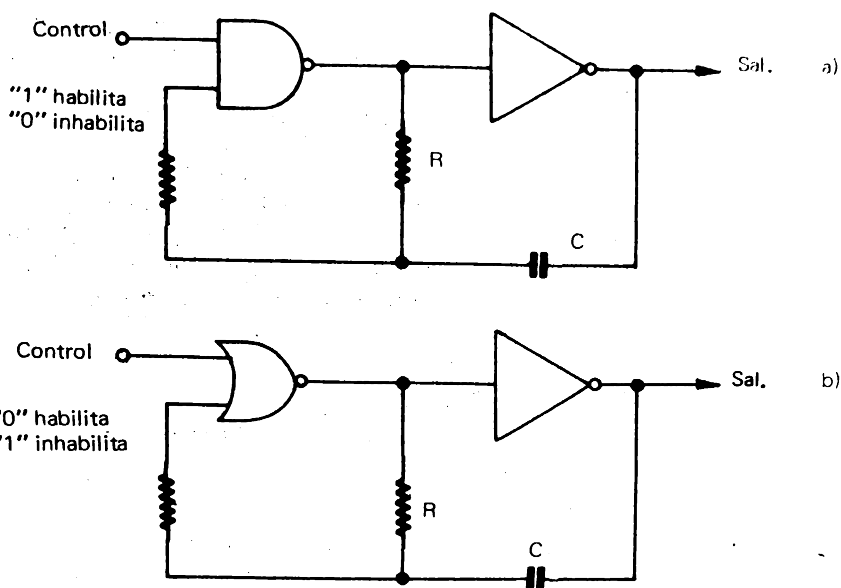


Fig. 1-28: Control de un multivibrador mediante compuertas NAND (a) o NOR (b).

dor, que en el caso de la compuerta NAND es de nivel 0 y en el caso de la compuerta NOR es de nivel 1, al igual que en el caso del inversor controlado por diodo.

El astable realizado con dos inversores ofrece sencillez en su concepción, pero puede llegar a no oscilar con valores pequeños de C. El agregado de una etapa más lleva al circuito de la fig. 1-29, que oscilará siempre, independientemente del valor de C.

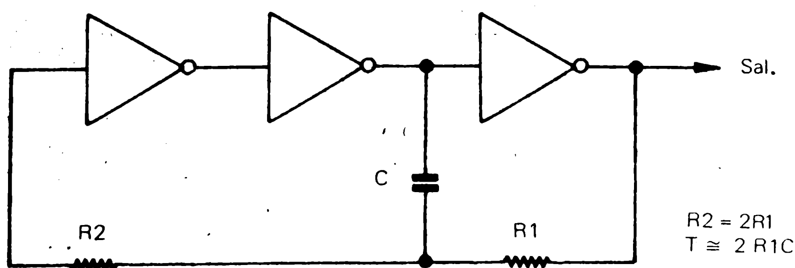


Fig. 1-29: Multivibrador astable de funcionamiento independiente del valor de C.

Es que se ha comprobado que un lazo de realimentación entre la salida y la entrada de una cadena impar de inversores provoca la oscilación aún cuando las únicas capacidades presentes son las parásitas, y de esa manera, la frecuencia de oscilación alcanza a varios megahertz.

Existe todavía la posibilidad de implementar un oscilador astable aún más sencillo que los vistos hasta ahora, ya que utiliza solamente una compuerta inversora, que es un *disparador de Schmitt.* Por ejemplo, podría utilizarse para tal fin una compuerta de las seis incluidas en el integrado CD40106, mientras que las cinco compuertas restantes podrían utilizarse para otros propósitos, donde se requieran inversores, con reales ventajas; la fig. 1-30 muestra la curva característica de transferencia para una compuerta inversora Schmitt trigger.

Obsérvese que existen dos umbrales de conmutación, creando una histéresis en la entrada. Cuando la tensión de entrada pasa del nivel lógico 0 al nivel lógico 1, el umbral que produce la conmutación es VT+, mientras que cuando se pasa del nivel lógico 1 al nivel lógico 0, la conmutación se produce en el umbral VT–.

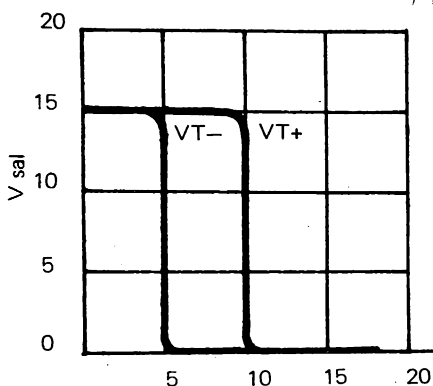


Fig. 1-30: Características de transferencia de una compuerta inversora Schmitt trigger.

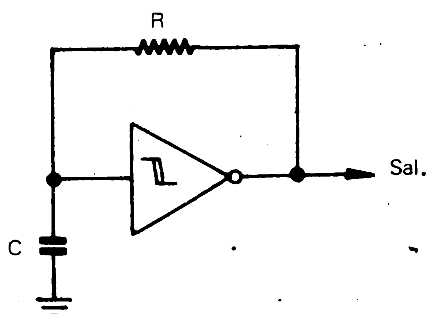


Fig. 1-31: Multivibrador astable con compuerta inversora Schmitt trigger.

La fig. 1-31 muestra el esquema de oscilador astable realizado con una compuerta inversora Schmitt trigger. El funcionamiento es el siguiente: suponiendo que la salida está a nivel lógico 1, el capacitor C comienza a cargarse a través de R. Al comienzo de esa carga, el potencial en el punto de unión de C y R está a nivel 0.

La entrada de la compuerta estará también a ese nivel, por estar conectada a ese mismo punto. Cuando la tensión; que va creciendo a medida que se va cargando el capacitor, supera el umbral VT+, se produce la conmutación de la compuerta, cuya salida pasa ahora a nivel 0.

El capacitor comienza a descargarse entonces a través de R, y cuando el potencial disminuye por debajo del umbral VT–, se produce nuevamente la conmutación, pasando la salida a nivel lógico 1, y se reinicia el ciclo. La histéresis en la curva de transferencia posibilita entonces el funcionamiento del oscilador.

Como los umbrales del disparador del Schmitt varían con la tensión de alimentación, la frecuencia de oscilación es un tanto dependiente de ese parámetro, y por lo tanto, si se requiere una aplicación que necesite una gran estabilidad de frecuencia, deberá pensarse en una fuente regulada.

De hecho, la fórmula para calcular el período de oscilación tiene en cuenta los valores de umbral y es un tanto compleja, pero si se considera típicamente una diferencia de 3,6 V entre los dos umbrales, para una tensión de alimentación de 10 V, se tiene una fórmula simplificada:

$T \cong 1{,}5\ RC$

donde T está dado en segundos, R en megohms y C en microfaradios.

La fig. 1-32 muestra un oscilador a cristal utilizando dos inversores. El trimmer se incluye para un ajuste fino de la frecuencia, mientras el circuito oscilante en sí funciona con un solo inversor, aunque se incluye otro inversor para actuar como etapa separadora.

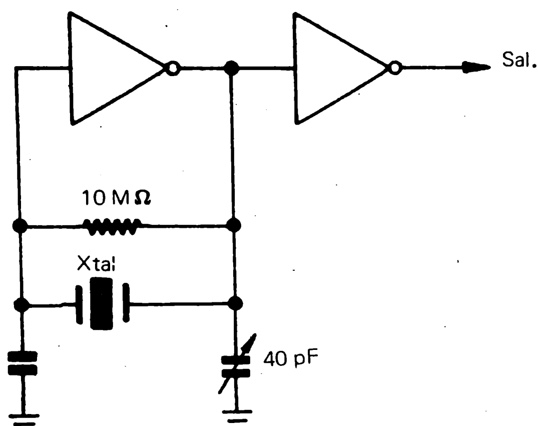


Fig. 1-32: Oscilador a cristal empleando dos inversores.

Seguidamente, analizaremos otra configuración muy empleada en los circuitos prácticos, tal como el *multivibrador monostable* que nos da ver la fig. 1-33 realizado con dos componentes NOR. La compuerta B podría ser reemplazada por un inversor, ya que sus dos entradas están unidas.

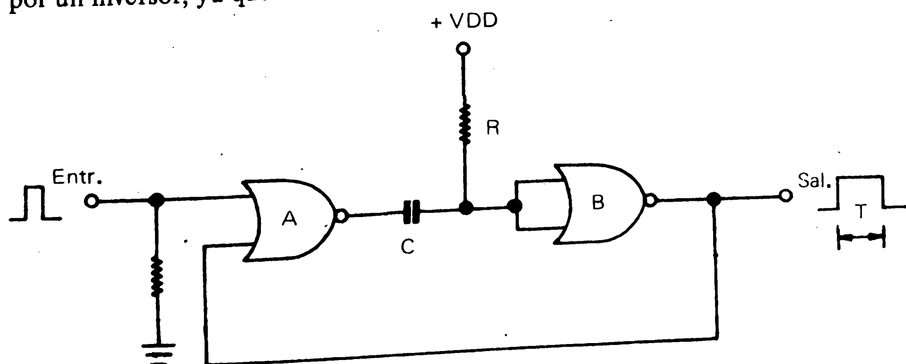


Fig. 1-33: Multivibrador de un solo estado estable (monostable) con dos compuertas NOR.

El funcionamiento puede interpretarse como sigue: partiendo del estado de reposo (sin señal aplicada a la entrada), el inversor B tiene su entrada a nivel lógico 1, por intermedio del resistor R. La salida B estará entonces a nivel lógico O, la que además va conectada a una de las entradas de A. Al estar ambas entradas de A a nivel lógico O (ver Tabla de Verdad de la fig. 1-17), la salida de A está a nivel 1. El capacitor C tiene ambas armaduras al mismo potencial, por lo que no adquiere carga alguna. Si ahora se hace presente un impulso positivo a la entrada de A, la salida pasa inmediatamente a nivel lógico O, y el capacitor comienza a cargarse a través de R, pasando la entrada de B a tener un nivel lógico O, y la salida, un nivel 1.

Debido a la realimentación de B a A, esta última compuerta queda *enganchada* con su salida a nivel O, aunque el pulso de disparo haya sido de muy corta duración. Cuando el capacitor adquiere una carga tal, que el potencial de la entrada de B pasa por el umbral de conmutación, la salida de B pasa a nivel O, la salida de A a nivel 1, y en consecuencia, el capacitor se descarga a través de R y la línea de alimentación, quedando el circuito listo para volver a funcionar.

El período T está dado aproximadamente por:

$$T \cong 0{,}7\ RC$$

En la fig. 1-34 se muestra otra variante de monostable, realizado con dos inversores, y en este caso el gatillado se realiza durante la excursión negativa del pulso de entrada.

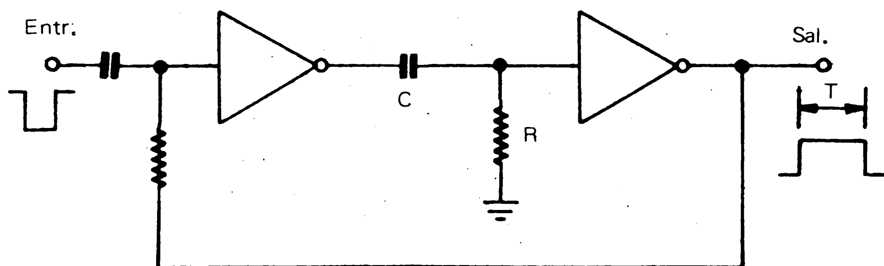


Fig. 1-34: Multivibrador monostable realizado con dos inversores.

Ya se ha visto en párrafos precedentes una aplicación del disparador de Schmitt; nos referimos al oscilador de la fig. 1-31. Seguidamente, vamos a presentar otros circuitos basados en este interesante dispositivo, y como se aprecia en la fig. 1-35, tenemos un circuito ensanchador de pulso o monostable realizado con una compuerta inversora (de un séxtuple inversor CD 4069, por ejemplo) y una compuerta inversora Schmitt Trigger. Nótese que esta última característica está indicada con el símbolo de la histéresis incluida en el triángulo.

El funcionamiento es como sigue: un pulso positivo angosto aplicado a la entrada del inversor provoca que la salida de éste pase a nivel lógico O, y el capacitor C se descargue a través del diodo D1 en forma rápida. La entrada del Schmitt

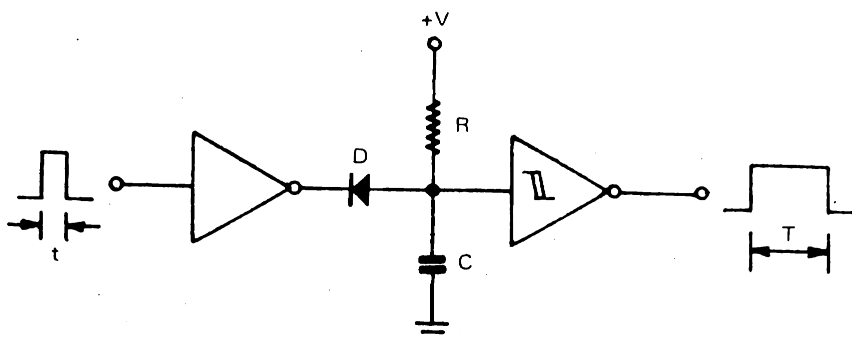


Fig. 1-35: Circuito ensanchador de pulso (tipo monostable) construido con una compuerta inversora convencional y una inversora Schmitt trigger.

Trigger pasa a nivel O y la salida a nivel 1, y cuando la entrada del inversor vuelve a nivel O, el diodo bloquea la tensión positiva de la salida del mismo y el capacitor solo puede cargarse a través del resistor R.

Esta carga se produce con un período igual a:

$$T \cong 0{,}7\ RC$$

para niveles de umbral similares a lo expuesto en el caso del oscilador astable.

El tamaño del capacitor C no debe superar el valor que asegure la plena descarga del mismo durante la duración del pulso de entrada, y además, para proteger la salida del inversor que trabaja como sumidero de corriente, debe cumplirse la relación:

$$I_{SINK} > \frac{C \cdot V}{t} + \frac{V}{R}$$

donde V es la tensión de alimentación, t es el ancho del pulso de entrada, R es la resistencia de temporización y C el capacitor. El diodo D evita la carga del capacitor desde la salida del inversor, cuando la entrada de este último retorna a nivel O.

Seguidamente, se verá la aplicación de compuertas inversoras en la realización de osciladores controlados por tensión (VCO).

La fig. 1-36 muestra un VCO sencillo que utiliza dos compuertas inversoras y un transistor MOS de canal N. Se puede armar este circuito a partir del circuito integrado CD4007, que contiene tres pares de transistores complementarios (canal P y canal N); con dos pares complementarios se realizan los dos inversores, y del par restante se utiliza el transistor de canal N.

Como se puede apreciar, el circuito consiste en un multivibrador astable, de los ya vistos en párrafos precedentes, al cual se ha agregado un transistor de canal N, que hace las veces de elemento resistivo variable con la tensión. Efectivamente, la resistencia drenaje-fuente del mismo baja a 1 kΩ cuando se aplica a la com-

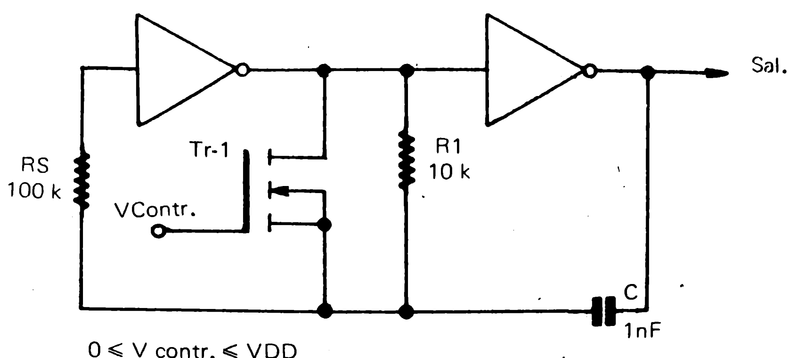


Fig. 1-36: Circuito de un oscilador controlado por tensión (VCO) compuesto de dos compuertas inversoras y un transistor MOS de canal N.

puerta la tensión de alimentación, y es prácticamente infinita (10^{11} ohms), cuando está a masa. Valores de tensión comprendidos entre esos dos extremos, darán valores intermedios de resistencia.

La resistencia drenaje-fuente de Tr1 queda efectivamente en paralelo con el resistor R1, que junto con C forma la constante de tiempo de oscilación. Cuando se aplica una tensión a la compuerta de Tr1 igual a la fuente de alimentación, la resistencia equivalente es algo menor de 1 kΩ, mientras que con 0 V sobre la compuertas, la resistencia equivalente está muy próxima a 10 kΩ.

De esta manera, la constante de tiempo de oscilación queda modificada, y por lo tanto, la frecuencia varía de acuerdo a la tensión aplicada a la compuerta de Tr1.

Una variante de este circuito se expone en la fig. 1-37, observando que el transistor de control tiene su terminal de fuente conectado a masa y el termina

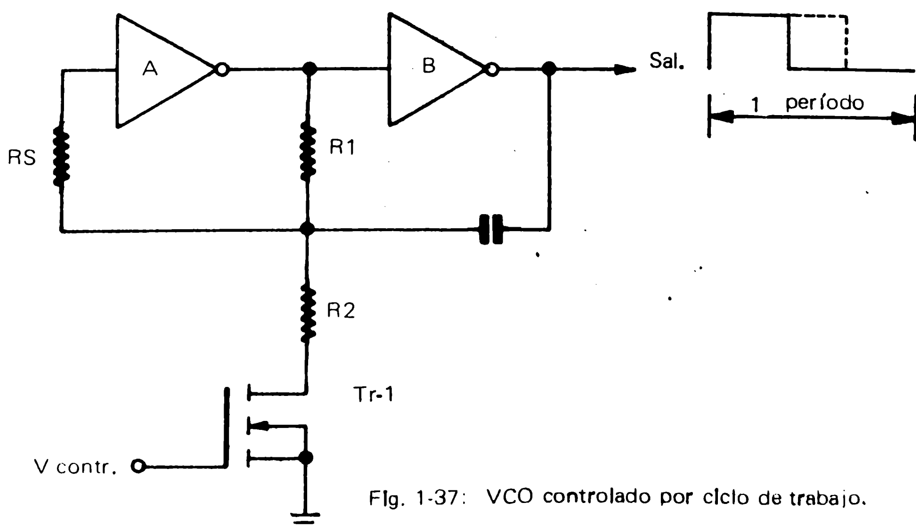


Fig. 1-37: VCO controlado por ciclo de trabajo.

de drenaje conectado a través de un resistor R2, a la unión de R1 y C. Con esta configuración lo que se varía fundamentalmente con la tensión de control, es el ancho del pulso de salida, o en otras palabras, el ciclo de trabajo. Esto es así por lo siguiente: cuando la salida del inversor B está a nivel alto, la entrada del mismo se encuentra a nivel bajo y por consiguiente R1 queda en paralelo con la combinación R2 / resistencia de drenaje-fuente de Tr1. C1 se carga entonces a través de esa combinación resistiva, y como esta última es variable (debido a la variación de la resistencia drenaje a fuente de Tr1 con la tensión) también será variable la duración del semiciclo positivo.

Durante el semiciclo negativo, la combinación R2 / resistencia drenaje-fuente de Tr1 queda en paralelo con C, y la constante de tiempo no se vé afectada, aunque si esta combinación baja de un cierto valor, el circuito podría dejar de oscilar.

La fig. 1-38 muestra un circuito de VCO más elaborado, realizado con un inversor común y un inversor Schmitt-trigger, además del agregado de un transistor bipolar.

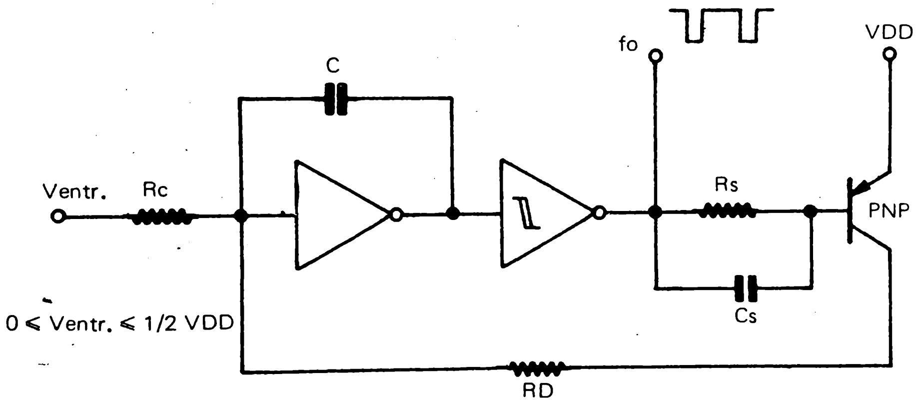


Fig. 1-38: VCO de mayor elaboración, que utiliza componentes MOS y un transistor bipolar.

El inversor actúa como integrador, y el inversor Schmitt lo hace como comparador con histéresis. El inversor integra la diferencia positiva entre su umbral y la tensión de entrada V ENTR. A la salida del mismo crece una rampa hasta el umbral positivo del Schmitt, y cuando se alcanza ese nivel, la salida del Schmitt pasa a nivel bajo, haciendo conducir al transistor mediante RS y el capacitor CS que aumenta la velocidad de respuesta. La histéresis mantiene la salida a nivel bajo hasta que el capacitor C de integración se descarga a través de RD.

El resistor RD debe ser mucho menor que la constante de tiempo Rc.C, para hacer despreciable el tiempo de reseteo.

La frecuencia de salida está dada por:

$$fo = \frac{V_{TH} - V_{ENTR}}{(V_{T+} - V_{T-})\, RcC}$$

donde VTH es el umbral de conmutación del inversor, VT + y VT – son los umbrales superior e inferior del Schmitt, Rc.C constituye la constante de tiempo del inversor y V ENTR es la tensión de control. La frecuencia máxima de salida ocurre cuando V ENTR está a masa, y la frecuencia disminuirá a medida que V ENTR se haga más positiva, hasta que la oscilación cesa cuando se alcanza el umbral del inversor, aproximadamente igual a 0,55 V DD.

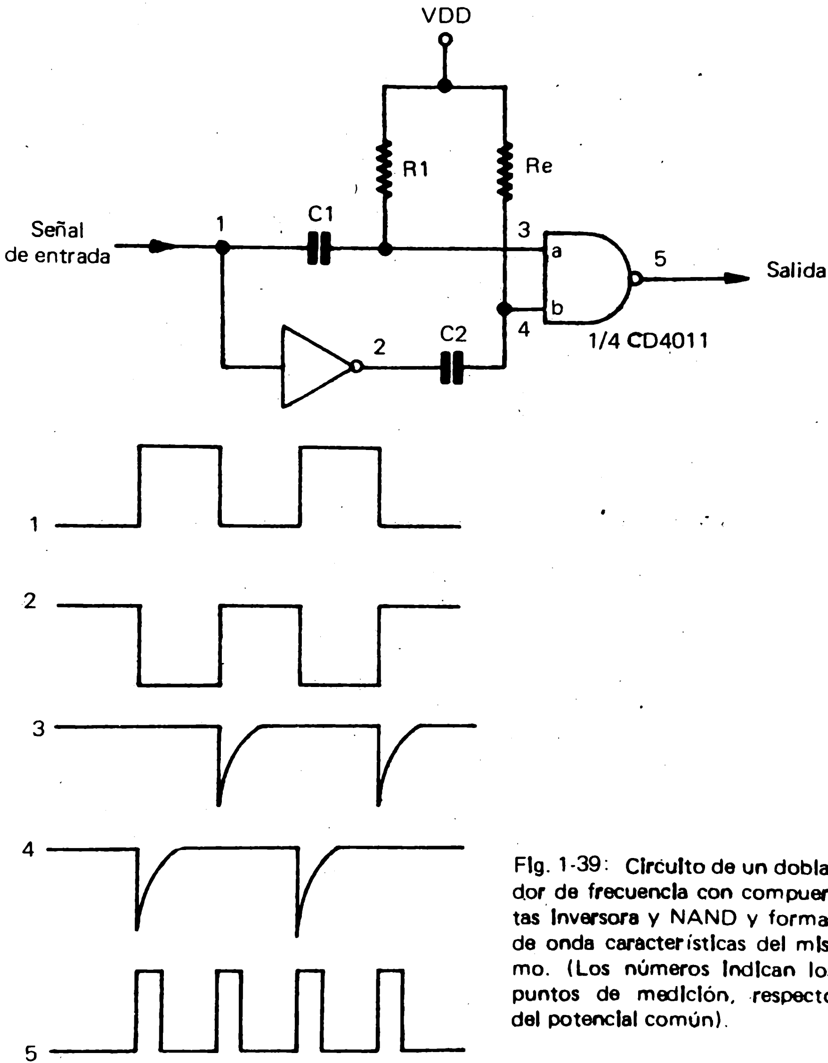


Fig. 1-39: Circuito de un doblador de frecuencia con compuertas inversora y NAND y formas de onda características del mismo. (Los números indican los puntos de medición, respecto del potencial común).

La fig. 1-39 muestra otra aplicación de compuertas inversoras y NAND. Se trata de un doblador de frecuencia, y este circuito puede constituir la base de multiplicadores de frecuencia, de modo que puede realizarse un multiplicador 2h conectando n-1 circuitos idénticos.

En la misma fig. 1-39 se dan las formas de onda en distintas partes del circuito. El funcionamiento se detalla a continuación: el flanco de descenso de la señal de entrada es diferenciada por R1 y C1, y es aplicada a la entrada *a* de la compuerta NAND. Esta acción produce un pulso a la salida, ya que de acuerdo a la Tabla de Verdad de la fig. 1-13, en una compuerta NAND basta que una de las entradas esté a nivel lógico bajo, para que la salida vaya a nivel lógico alto.

El flanco de subida del pulso de entrada, luego de ser invertido, es diferenciado y aplicado a la entrada *b* de la compuerta NAND. De modo que para un tren de pulsos de entrada de frecuencia f, hay un tren de pulsos de salida de frecuencia 2f. Desde luego que existe una limitación en la frecuencia máxima de entrada, determinada por la constante de tiempo R1C1 y R2C2, y asimismo, el ciclo de trabajo queda también afectado por la frecuencia de entrada.

Veamos ahora como se puede implementar una modulación por pulsos. En la fig. 1-40 puede apreciarse el circuito básico del modulador, que ya ha sido anticipado en la fig. 1-28, y consiste en un oscilador cuya frecuencia es apreciablemente superior a la de la señal que se desea transmitir. De hecho, este método permite transmitir un pulso de frecuencia muy bajo, sin deformación a través de etapas con pobre respuesta a esas frecuencias.

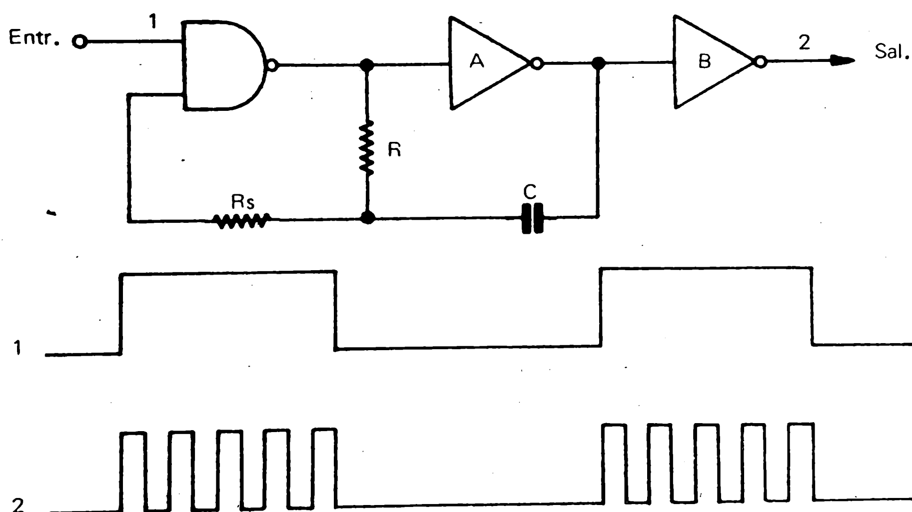


Fig. 1-40: Circuito modulador por pulsos y formas de onda características

El oscilador es conmutado SI-NO por la señal presente en la entrada (1) de la compuerta NAND. Se tiene entonces a la salida del inversor B la forma de onda (b) para la señal de entrada (a).

La demodulación o detección de envolvente de las señales moduladas por pulsos se implementa con el circuito mostrado en la fig. 1-41.

Los pulsos de portadora ingresan al inversor A. Ante la presencia de un pulso de entrada positivo, la salida de A está al potencial de masa y entonces se provee un camino de carga instantánea para el capacitor C a través del diodo

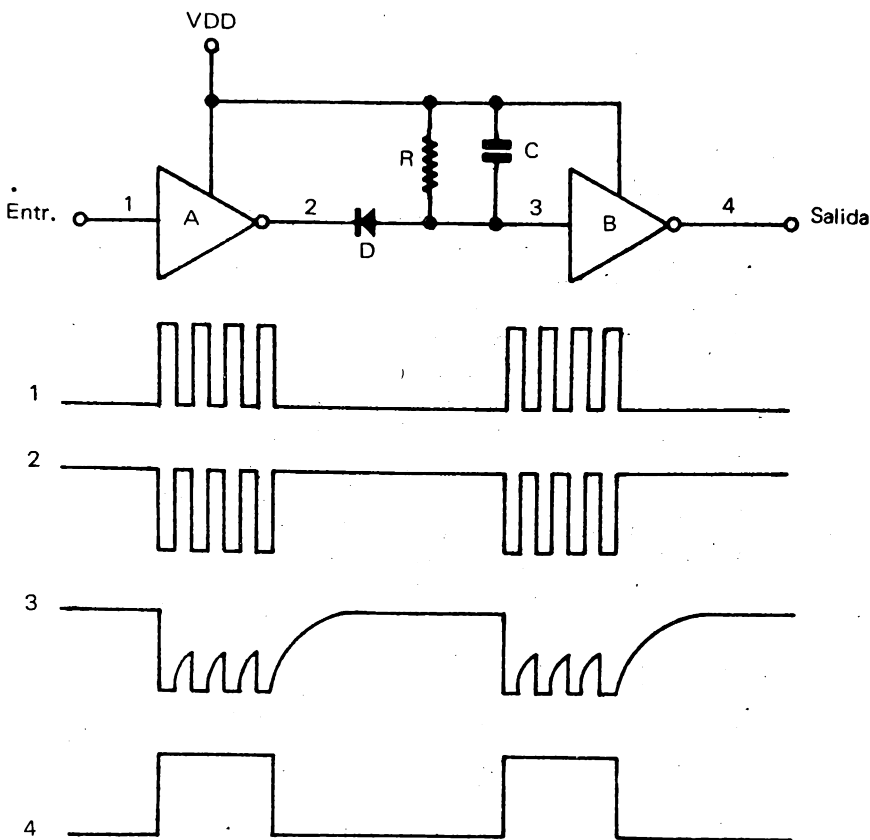


Fig. 1-41: Circuito demodulador, que detecta la envolvente de las señales moduladas por pulsos. Observense las formas de onda desarrolladas.

D y el transistor de canal N ubicado dentro del inversor A.

Cuando la entrada asume nuevamente el nivel O, el diodo D queda bloqueado y C se descarga a través de R. La salida de B permanece a nivel 1 durante toda la sucesión de pulsos de portadora, puesto que la constante de tiempo de descarga es mucho mayor que el tiempo de duración de cada pulso de portadora de entrada. A la salida del inversor B se recupera entonces la envolvente original de modulación, y en la misma fig. 1-41 se muestran las formas de onda en cuatro puntos diferentes del circuito.

Las aplicaciones de compuertas e inversores solo está limitada por la imaginación del diseñador.

En la fig. 1-42 se muestra un circuito ensanchador de pulso realizado con tres compuertas NAND; en páginas previas hemos visto algunos circuitos parecidos basados en monostables, donde ingresaba un pulso angosto y emergía un pulso de ancho ajustable, pero en esta ocasión se trata de una interacción entre dos pulsos de entrada sincronizados A y B. El ancho del pulso de salida es igual

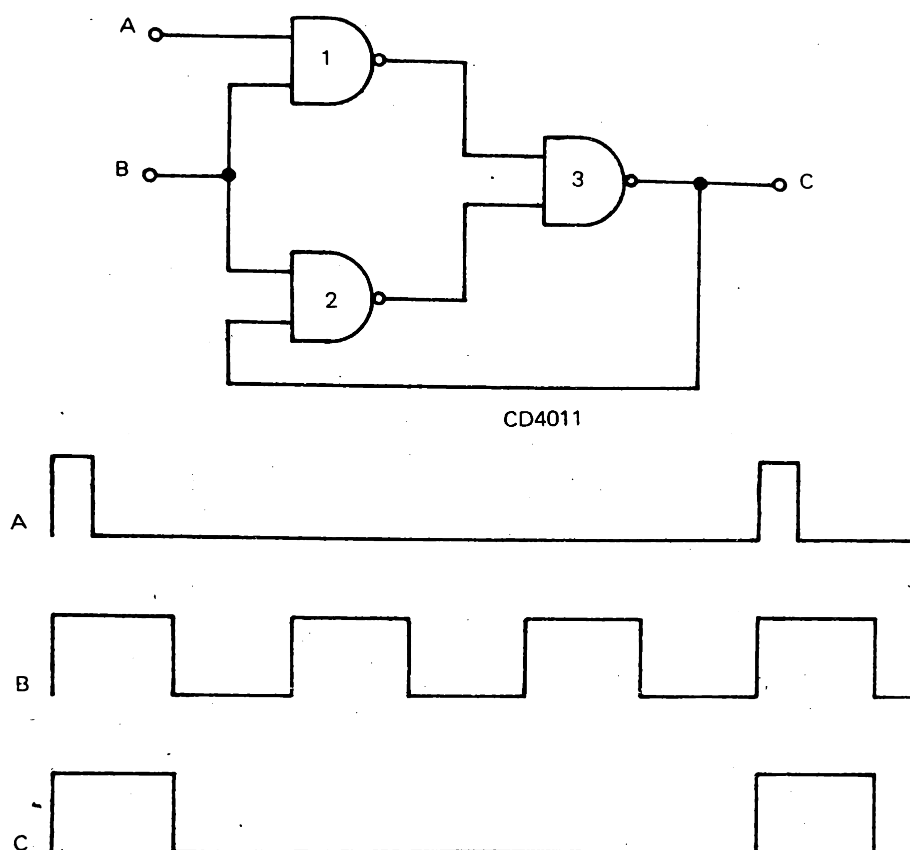


Fig. 1-42: Ensanchador de pulsos con tres compuertas NAND, y formas de onda características.

al del pulso de entrada B, mientras que la secuencia de repetición es la del pulso de entrada A. Cuando el pulso A no se encuentra presente, la salida es cero.

El comportamiento del circuito se debe al lazo de realimentación desde la salida (C) a una entrada de la compuerta NAND (2). El funcionamiento se desarrolla como sigue: cuando A y B están a nivel alto, por la presencia de los pulsos respectivos, la compuerta (1) tendrá su salida a nivel bajo; la compuerta (3) tendrá su salida a nivel alto, pues basta una entrada de nivel bajo en una NAND para que se cumpla esa condición; la salida de (3) se aplica a la entrada restante de la compuerta (2), y la salida de ésta a la entrada restante de la compuerta (3).

La condición de la compuerta (3) no varía aún cuando la entrada A quede a nivel bajo, siempre que la entrada B permanezca a nivel alto, puesto que una entrada alta y una entrada baja en la compuerta (3) sigue dando un 1 lógico a la salida. Recién cuando baja la entrada B a nivel lógico O, la salida va también a ese nivel. En la misma fig. 1-42 se muestran las formas de onda del circuito.

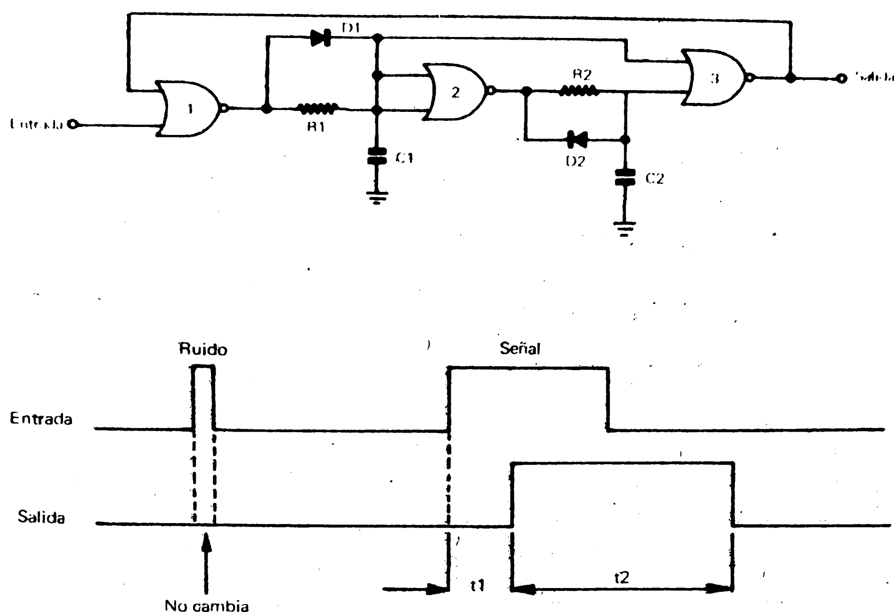


Fig. 1-43: Discriminador de ruido con compuertas NOR.

En la fig. 1-43 se muestra otra aplicación de las compuertas NOR. Se trata de un circuito discriminador contra el ruido, y se basa en el siguiente criterio: si un pulso de entrada tiene una duración menor que un valor predeterminado igual a t1, se lo considera como ruido. Un pulso de entrada cuya duración supera el valor t1 produce un pulso de salida de duración t2, mientras que el tiempo t1 queda determinado por la constante de tiempo R1C1, y el tiempo t2, por la constante de tiempo R2C2. Los diodos D1 y D2 permiten una recuperación rápida.

En estado de reposo, los estados lógicos de las salidas de cada compuerta son los siguientes: compuerta (1), nivel lógico 1; compuerta (2), nivel lógico O; compuerta (3), nivel lógico O. Cuando aparece un pulso a la entrada, la salida de la compuerta (1) pasa inmediatamente a nivel O. El capacitor C1, que estaba cargado plenamente por el estado anterior, comienza a descargarse a través de R1, y si el pulso de entrada es de duración breve (por ejemplo, debido a ruido), la compuerta (2) no llega a conmutar su estado, pues la entrada de la compuerta (1) vuelve a nivel O, su salida a nivel 1, y el capacitor C1 recupera su carga a través de D1.

No hay pues pulso a la salida. En cambio, si el pulso de entrada supera la duración t1, después de la temporización R1C1, la salida de la compuerta (2) pasa a nivel 1 y comienza a cargarse C2 a través de R2. Al mismo tiempo la compuerta (3) conmuta su salida a nivel 1, y debido a la realimentación de la salida de

(3) a la entrada de (1), la salida de esta última compuerta permanece en nivel O aún cuando finaliza la duración del pulso de entrada.

Cuando C2 se termina de cargar, pasando por el umbral de conmutación de la entrada de la compuerta (3), la salida de esta última vuelve a nivel O. La salida de la compuerta (2) va también a nivel O y el capacitor C2 se descarga rápidamente a través del diodo D2.

El siguiente circuito constituye una aplicación instructiva de lo que se denomina *Three-State*, o lógica de tres estados, disposición muy utilizada en la transmisión de datos binarios por *buses* o barras, donde los transmisores de datos cuya salida está *colgada* de los mismos, además de los niveles lógicos 1 y 0, que tienen cuando normalmente transmiten datos, deben poseer un tercer estado, de desconexión o *abierto*, cuando permanecen inoperantes, para no cortocircuitar los datos transmitidos por otras puertas. En esto consisten los dispositivos *Three-State* que vienen formando parte de numerosos circuitos integrados digitales.

La fig. 1-44 muestra el esquema de una etapa buffer Three state realizada con un integrado CD4001, cuádruple NOR de dos entradas y un integrado CD4007A, doble par complementario más circuito inversor. Cuando el terminal E está a nivel bajo, el nivel lógico de la salida reproduce fielmente el nivel lógico de la entrada de señal S.

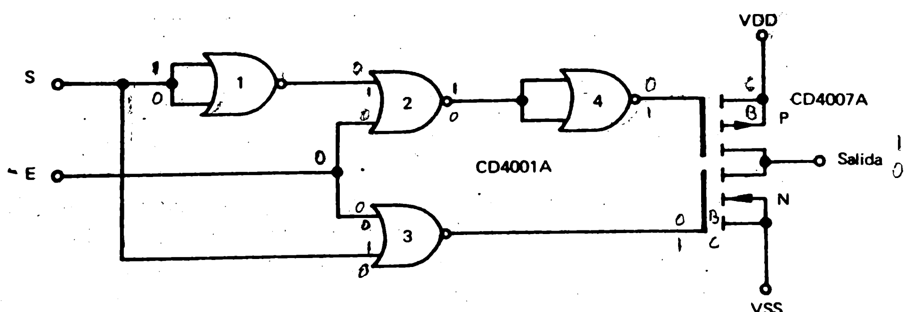


Fig. 1-44: Etapa buffer "Three state".

Efectivamente, si S está a nivel 1, a la salida del inversor (1) habrá un nivel O; la compuerta NOR (2) tendrá ambas entradas a nivel O y por consiguiente su salida estará a nivel 1, mientras que el inversor (4) a su vez, tendrá su salida a nivel O, y como está conectada a la compuerta del MOS de canal P, éste conducirá. La salida de la NOR (3) quedará a nivel bajo, y como queda aplicada a la compuerta del transistor MOS de canal N, este último permanecerá bloqueado, de modo que la salida estará a nivel alto, al igual que la entrada.

Si S está a nivel O, la salida del inversor (1) estará a nivel 1, la salida de la NOR (2) a nivel O, la salida del inverosr (4) a nivel 1, y por consiguiente el transistor MOS de canal P queda bloqueado, y la salida de la NOR (3) estará a nivel 1, entonces el transistor MOS de canal N conduce. El resultado de esto es que la salida estará a nivel O, al igual que la entrada. Veamos ahora que sucede si el

terminal E está a nivel 1: La salida de ambas compuertas NOR estarán a nivel bajo, y la salida del inversor a nivel alto. Entonces, ambos transistores MOS quedarán abiertos, y la salida permanecerá flotante, lo que permite conectar varias de estas fuentes de señal a la misma línea de los datos.

A continuación, se describen ejemplos de aplicación de flip-flops (biestables) y contadores secuenciales. La fig. 1-45 muestra dos divisores por dos, realizados con una mitad de un integrado doble biestable *JK* maestro-esclavo, CD 4027 y una mitad de un doble biestable tipo *D*, CD4013.

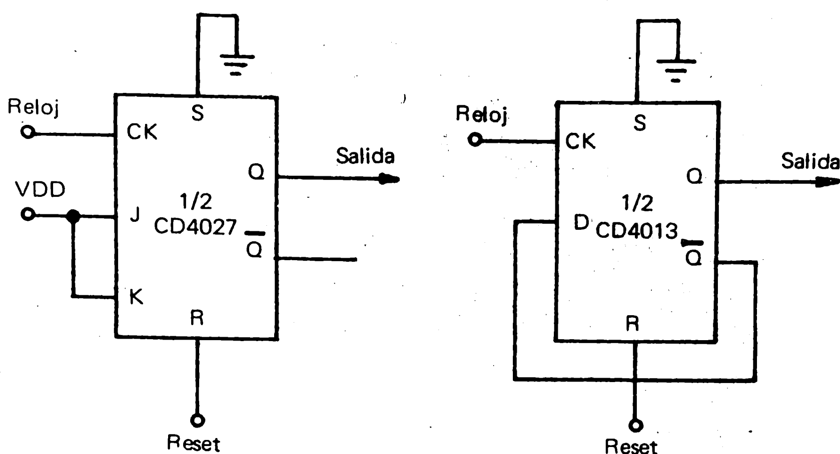


Fig. 1-45: Multivibrador de dos estados estables (biestable o flip-flop), divisores por dos.

Las conexiones a realizar en el biestable *JK* para implementar un divisor por dos son: conectar el terminal S (set) a masa, unir los terminales J y K a positivo (VDD). Si el terminal de *reset* no se utilizara, también deberá ir conectado a masa. Las conexiones en un biestable tipo *D* para realizar un divisor por dos son: unir los terminales D (entrada de datos) y $\overline{Q}$ (salida negada), conectar S (set) a masa. Si el terminal *reset* no se usara, deberá ir a masa; y si lo único que se necesita es implementar un divisor por dos, sin requerir funciones más complejas, podrá optarse por el biestable tipo *D*, ya que el integrado CD4013 es de 14 patas mientras que el CD4027 posee 16 patas. En ambos casos mostrados, al aplicar un nivel 1 al terinal de reset, la salida Q pasará a nivel O.

Existe la posibilidad de utilizar un biestable para realizar un circuito monostable, cosa que demuestra la flexibilidad de todos estos circuitos, cuando se aprovechan todas las características de su funcionamiento.

La fig. 1-46 muestra tal circuito monostable realizado a partir de un CD4013. La salida Q va conectada al terminal *reset* mediante un resistor R, que junto al capacitor C forma la constante de tiempo de temporización.

Cuando arriba un pulso a la entrada de *reloj*, el flanco ascendente del mismo hace que la salida Q vaya a nivel 1. El capacitor C comienza a cargarse a través de R, y durante todo ese tiempo la salida Q permanece a nivel 1, hasta que

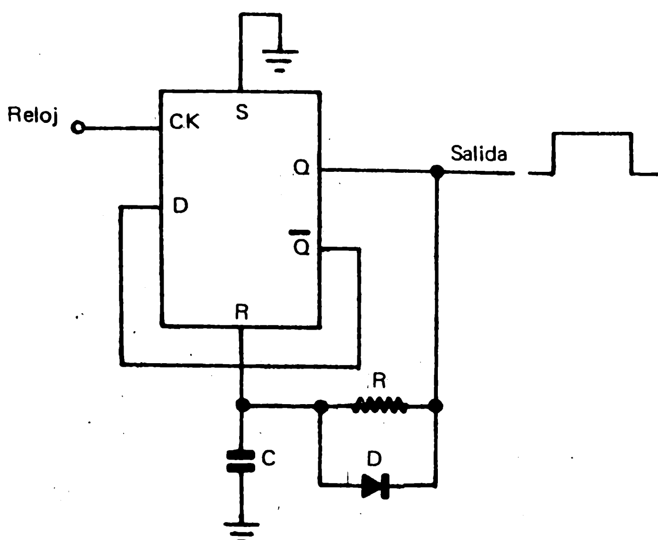


Fig. 1-46: Multivibrador monostable realizado a partir de un biestable.

la carga de C alcanza el umbral de conmutación del terminal *reset*, que adquiere nivel 1.

La presencia de un nivel ógico 1, en el terminal de reset fuerza la salida Q a cero. El capacitor se descarga rápidamente a través del diodo D, y el biestable queda nuevamente en reposo, a la espera de un próximo pulso de disparo.

Estos arreglos particulares permiten un máximo aprovechamiento de los dispositivos múltiples, pues sucede a menudo que una sección de un integrado múltiple quede libre, y se lo puede utilizar en otra función diferente para la cual ha sido diseñado.

En la fig. 1-47 se muestra una aplicación del integrado CD4029, que es un contador binario o por décadas, ascendente-descendente, y con posibilidad de pre-establecimiento.

La función binaria o por décadas se selecciona por el terminal 9. Un nivel lógico 1 aplicado a ese terminal, determina el funcionamiento binario; de aplicarse un nivel 0, el funcionamiento es por décadas. El conteo ascendente se produce con un nivel lógico 1 aplicado al terminal 10 (up-down), mientras que un nivel 0 determina el conteo descendente.

El contador avanza un lugar cada vez que ingresa un flanco ascendente por el terminal 15 (reloj), siempre que los terminales 1 y 5(preset enable, carry in) posean lógica 0; con un nivel lógico 1 aplicado a cualquiera de esos terminales, el avance es inhibido, mientras que un 1 lógico aplicado al terminal 1, permite que el contador quede establecido en cualquier estado, determinado por las entradas J1 a J4 (jam inputs).

La aplicación de la fig. 1-47 consiste en generar una función triangular. Cuando el contador funciona en el modo ascendente, la red resistiva R-2R conectada

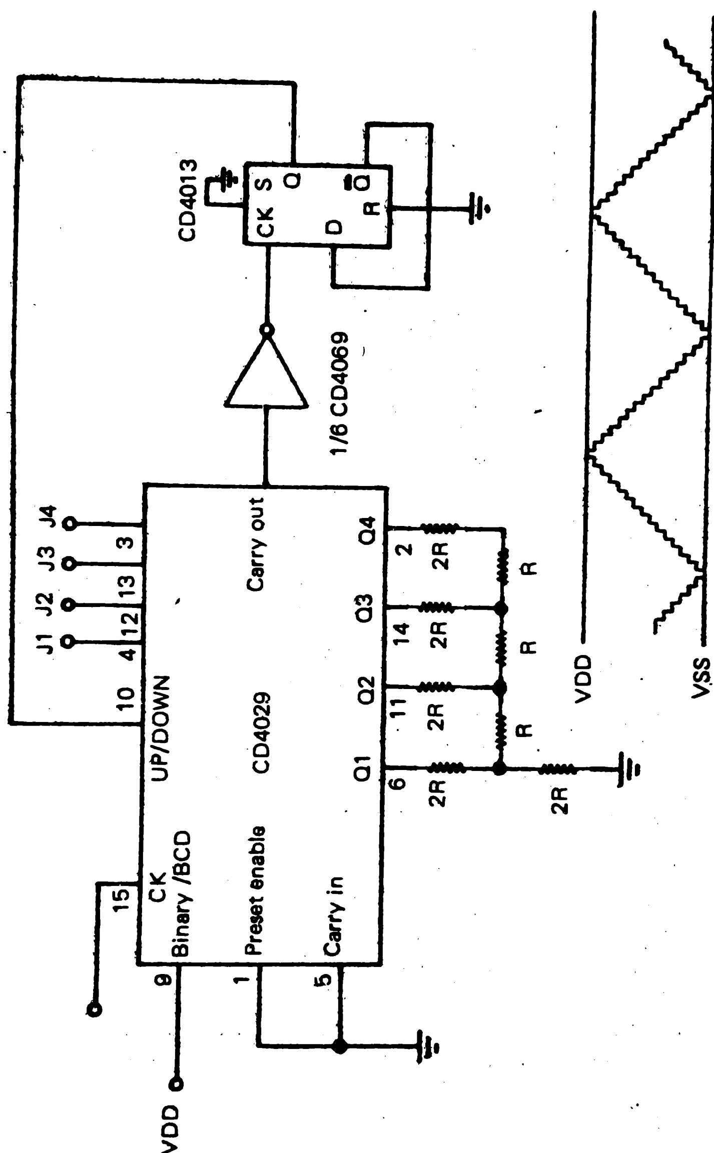


Fig. 1-47: Generador de señal triangular con integrados C-MOS.

a la salidas Q1 a Q4, produce una forma de onde tipo *escalera*. Cuando el CD 4029 alcanza el conteo final 15, la salida de acarreo (terminal 7) pasa de nivel alto a bajo; esta salida se invierte mediante una sección inversora CD4069 y se aplica a la entrada de reloj de un biestable CD4013, tipo *D*.

El biestable conmuta, y su salida pasa a nivel lógico 1, que es aplicado al terminal 10 del CD4029. Esto cambia el conteo al modo descendente, y produce

,el flanco de descenso de la función escalera. Cuando el conteo llega a cero, la salida de acarreo pasa nuevamente de nivel alto a bajo y la conmutación consiguiente del CD4013 hace que el contador pase al modo ascendente, y así se genera una forma de onda que se muestra en la misma fig. 1-47.

La red resistiva consta de tan solo dos valores: R y 2R, que equivale al doble del primer valor. Estas redes se consiguen en forma integrada, de lo contrario se las puede construir con resistores de cierta precisión. Los valores para esta aplicación deben ser lo suficientemente altos como para no cargar excesivamente las salidas, y se puede tomar típicamente un valor $\geqslant$ 5 k para R.

Un tipo de circuito integrado que ofrece interesantes aplicaciones es el contador de décadas CD4017. Este integrado posee diez salidas que se van habilitando sucesivamente (adquieren nivel lógico 1) a medida que ingresan pulsos de reloj a la entrada.

Poseen un amplio espectro de aplicaciones, que consiste en contadores, secuenciadores, etc. Se verá la manera de ampliar el conteo, por ejemplo hasta 25, mediante la interconexión de 3 de estos integrados, circuito que puede apreciarse en la fig. 1-48. Las entradas de reloj de todos los CD4017 están interconectadas, de modo que los pulsos de entrada actúan simultánemanete sobre los 3 contadores.

También están interconectados los terminales de restablecimiento. Cuando se aplica tensión al circuito, el capacitor C1 produce un pulso de *reset,* que hace que todos los terminales 11 vayan a nivel lógico O. El terminal 13 de cada 4017 es el de habilitación (clock enable) que, cuando está a nivel O, habilita el conteo, mientras que cuando está a nivel 1 lo inhabilita. Vemos entonces que, al principio, el único contador habilitado es IC1, que tiene su terminal 13 conectado a la salida 11, que está a nivel 0. Los terminales 13 de IC2 e IC3 están conectados a la salida de IC4a e IC4b, que están a nivel lógico 1, y por lo tanto, inhabilitados.

Cuando la progresión del conteo hace que el terminal 11 de IC1 pasa a nivel lógico 1 (cuenta N° 9), IC1 queda inhabilitado, mientras que se habilita IC2, pues al quedar las dos entradas de IC4a a nivel alto, la salida de este último pasa a lógica 0, y por consiguiente, lo mismo ocurre con el terminal 13 de IC2. Entonces, los siguientes pulsos de reloj hacen avanzar el conteo de IC2, y cuando la cuenta alcanza el N° 9, queda inhabilitado IC2 y se habilita IC3.

Como se vé, algunas salidas quedan desaprovechadas porque se las necesita para implementar el funcionamiento; quedan reducidas así a 25 las salidas con tres integrados. Cuando el conteo de IC3 alcanza el valor 9, se pone un 1 en los terminales de restablecimiento de todos los integrados, y el conjunto queda listo para iniciar un nuevo ciclo. Como en el integrado CD4011 quedan disponibles dos compuertas más, se puede extender el sistema hasta 41 salidas, agregando dos CD4017.

Finalizamos con las aplicaciones de circuitos secuenciales brindando algunas ideas prácticas basadas en los contadores binarios CD4024 (contador binario en cascada de 7 etapas), CD4040 (contador binario de 12 etapas), CD4020 (contador binario de 14 etapas) y CD4060, y también de 14 etapas. Todos estos inte-

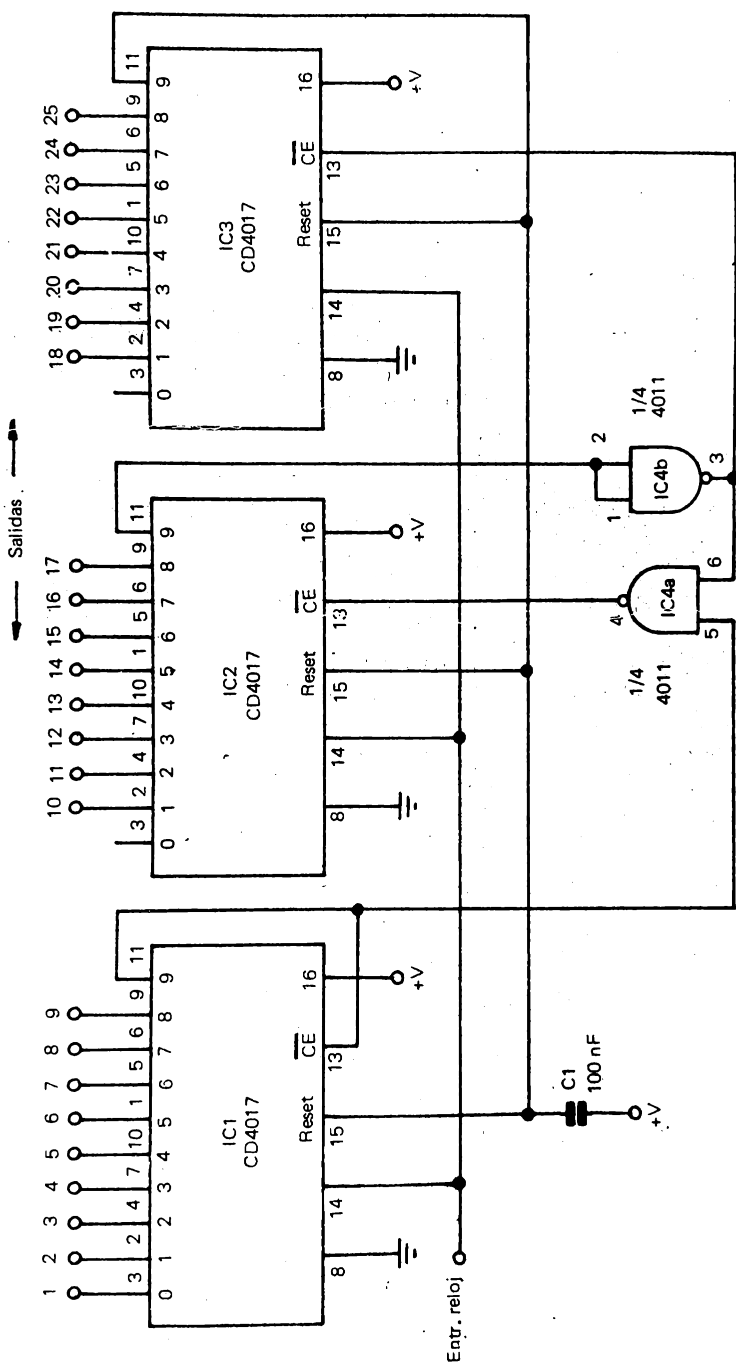
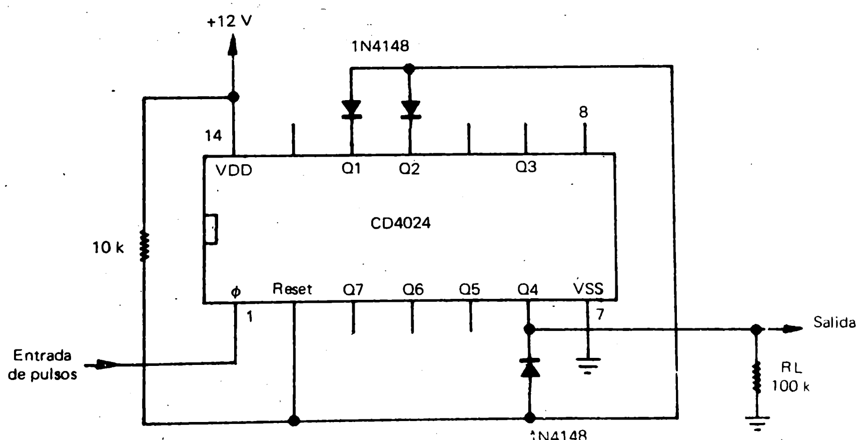


Fig. 1-48: Sistema de conteo hasta 25, con tres CMOS tipo CD 4017.

grados están constituidos por una cadena de biestables, pero debido a una limitación de la cantidad de terminales, solo el CD4024 y el CD4040 tienen acceso a todos los biestables, mientras que en el CD4020 falta el acceso a la salida de las etapas 2a. y 3a., y en el CD4060 falta el acceso a las etapas 1a., 2a., 3a. y 11a., pero a cambio, en este último integrado existe la posibilidad de implementar un oscilador con componentes pasivos externos. El número máximo de divisiones que se puede obtener con uno solo de estos integrados es: 128 (2^7), con el CD4024, 4096 (2^{12}), con el CD4040, y 16.384 (2^{14}), con el CD4020 y el CD4060. Como se notará, el número de divisor máximo es igual a 2 elevado a una potencia igual a la cantidad de etapas que contiene cada integrado.

Entonces, es fácil deducir que para obtener una división por un número 2n, bastará tomar la salida de la etapa n del integrado en cuestón. Pero vamos a ver que existen más posibilidades con estos integrados, esto es, la posibilidad de dividir por un número cualquiera, siempre que no se exceda la capacidad máxima del integrado correspondiente.

En la fig. 1-49 se muestra un circuito divisor por 11. Obsérvese que el terminal *reset* está conectado a positivo mediante un resistor de 10 k, y a los ánodos de 3 diodos de señal, cuyos cátodos van conectados a las salidas del primer, segundo y cuarto biestable. Un uno lógico en la entrada de *reset* lleva la cuenta nuevamente a cero. Esto sucede cuando las salidas Q1, Q2 y Q4 están a nivel 1.



Fig, 1-49: Divisor por 11, con el CD 4024.

La expresión binaria del número 11 es 1011, que corresponde al estado lógico de las etapas Q4, Q3, Q2, Q1 (yendo de izquierda a derecha). Por lo tanto, a las salidas a las que corresponde un 1 lógico, irá conectado el cátodo de un diodo, mientras que a las salidas a las cuales corresponda un 0 no irá conexión alguna. Los ánodos de todos los diodos se conectarán al terminal *reset*, que también se unirá a positivo mediante un resistor de unos 10 k. Habrá tantos diodos como

unos figuren en la expresión binaria. La salida se tomará directamente de la última etapa (dígito más significativo).

Se comprenderá entonces que, para implementar la división por un número cualquiera, conviene encontrar primero su expresión binaria. Para convertir un número de notación decimal a binario, se procede a dividir sucesivamente por dos, tomando solamente la parte entera de los sucesivos resultados. Los sucesivos restos (que serán solo unos o ceros) irán formando la expresión binaria, siendo el primer resto de la división el dígito menos significativo, hasta llegar al resultado de la última división, que será el dígito más significativo. Como ejemplo, se brinda la conversión del número 6 a binario:

```
6 |2
0  3 |2
   1  1        resultado: 110
```

Vamos a brindar un método más rápido de conversión si es que se posee una calculadora científica como por ejemplo la Casio College fx 100. Se introduce el número 2 en el display y se oprime dos veces la tecla ÷, con lo que se introduce la función constante (en el display aparece la letra k). Se introduce a continuación el número positivo entero que se desea convertir a binario. Se oprime sucesivamente la tecla = (igual), y se anota de derecha a izquierda (se obtiene primero el dígito menos significativo) en un papel la expresión binaria, tomando en cuenta la siguiente regla: cuando el primer número decimal es igual o mayor que 5, se anota un 1. Cuando el primer número decimal es menor que 5 ó aparece una expresión entera, se anota un 0. Se termina la conversión (dígito más significativo) cuando aparece en el display el primer resultado de la división con la parte entera igual a cero. Se da un ejemplo práctico; sea la conversión del número 17 a binario. Después de programar la constante, introducir el número. Se aprieta = (igual). Se lee en el display 8.5. Como la primera cifra decimal es igual a 5, se anota 1. Se oprime nuevamente =. Se lee en el display 4.25. Como la primera cifra decimal (2) es ≤ 5, se anota 0. Se oprime otra vez = y se lee en el display 2.125. Como la primera cifra decimal es ≤ 5, se vuelve anotar 0. Se oprime = y se lee 1.0625. La primera cifra decimal es ≤ 5 y se anota 0. Se oprime nuevamente = y se lee en el display 0.53125. La primera cifra decimal es igual a 5 y se anota un 1. Como la parte entera ya es cero, termina la conversión. El número binario equivalente a 17 en base diez es entonces (anotando lo anterior de derecha a izquierda): 10001.

Los contadores binarios descritos anteriormente se utilizan también como reloj: Se trata de obtener una base de tiempo precisa de 50 Hz a partir de un cristal de 100 kHz. Hay que implementar entonces una división por 2.000.

Hecha la conversión a binario, obtenemos la expresión 11111010000. Programaremos entonces al integrado CD4040 para obtener esa división, utilizando 6 diodos, pues es la cantidad de *unos* lógicos que hay en dicha expresión.

La fig. 1-50 ilustra sobre las conexiones que hay que realizar. Obsérvese que

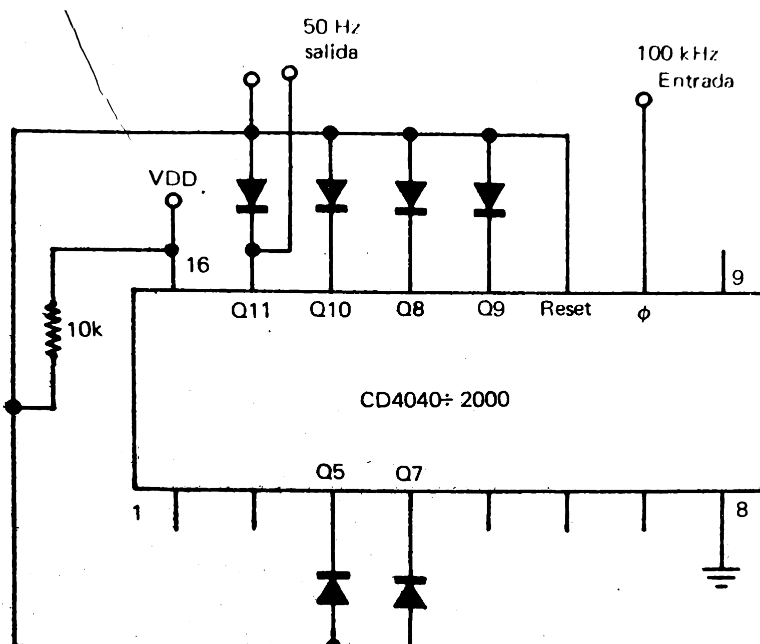


Fig. 1-50: Base de tiempo de alta precisión para 50 Hz.

las etapas que llevan diodo son las que corresponden a los niveles 1, contando de derecha a izquierda (bit menos significativo a bit más significativo), es decir que corresponden a las etapas 5a., 7a., 8a., 9a., 10a. y 11a.

La salida se efectúa por la etapa que corresponde al bit más significativo. Para completar el esquema, habrá que implementar el oscilador a cristal, tarea que puede estar a cargo de una compuerta inversora, como puede apreciarse en la

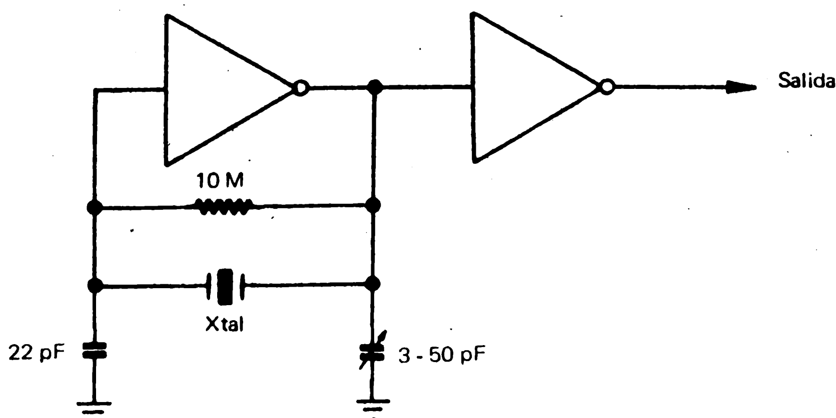


Fig. 1-51: Oscilador a cristal para excitar el contador de la fig. 50.

fig. 1-51. Un inversor adicional es conveniente para conformar una etapa separadora. La salida de esta última puede atacar la entrada del circuito de la fig. 1-50.

En determinadas circunstancias, podrá aprovecharse el oscilador incluido en el integrado CD4060, economizando componentes, pero en el ejemplo brindado anteriormente ello no es posible, pues en dicho integrado falta justamente una conexión de salida de la etapa N° 11, por lo que no es posible obtener una división por 2000.

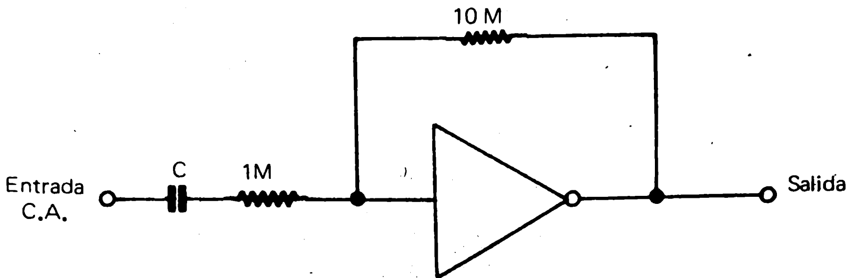


Fig. 1-52: Etapa C-MOS operando en régimen lineal, construido con una compuerta inversora.

Existe otra faceta interesante de los dispositivos C-MOS y que consiste en la posibilidad de utilizarlos en aplicaciones lineales. Esto se logra, por ejemplo, polarizando un inversor en la porción lineal de su curva de característica de transferencia. Pueden realizarse así etapas amplificadores de C.A. La fig. 1-52 muestra una etapa realizada con este concepto. Pueden conectarse varias de estas etapas en cascada para obtener mayor ganancia. Si se incluye más de un inversor en el lazo de realimentación, tal como se aprecia en la fig. 1-53, se obtiene una mayor ganancia en lazo abierto, con lo que se permite aproximar más al cálculo de ganancia en lazo cerrado. El capacitor conectado a la entrada permite bloquear la corriente continua.

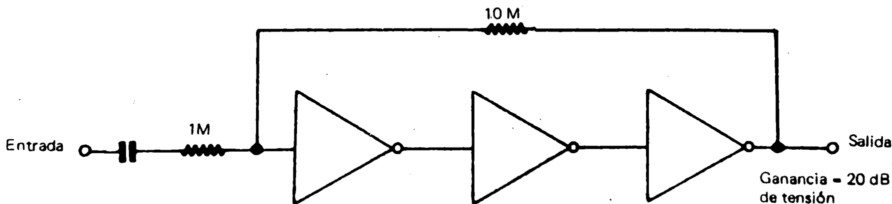


Fig. 1-53: Disposición en cascada de compuertas inversoras, trabajando en la porción lineal de su curva de transferencia.

CAPITULO 2

REALIZACIONES PRACTICAS CON CIRCUITOS INTEGRADOS C-MOS

BOMBA AUTOMATICA DE SENTINA

Una de las tareas asociadas con las pequeñas embarcaciones es la necesidad de achicar el agua que por diversos orígenes se acumula en la sentina, a menudo en ocasiones inconvenientes. Disponiendo de una batería de 12 V es posible instalar una pequeña bomba de sentina que, con el agregado del siguiente circuito, asegura que el nivel de agua se mantenga en el mínimo en forma automática sin requerir una constante atención.

El circuito completo se expone en la fig. 2-1. El mismo consta de muy pocos componentes: un circuito integrado CD4011, un transistor, un relé y algunos componentes asociados. Para detectar el nivel de agua se utilizan unos sensores metálicos, basándose en la conductividad del agua en mayor o menor grado, dependiendo de su salinidad o la disolución de compuestos orgánicos en ella.

Uno de los sensores va conectado al polo negativo de la batería, proveyendo el nivel de referencia. Se detectan dos niveles, para proveer un efecto de histéresis, esto es, para evitar que el motor de la bomba se ponga en marcha y se detenga ininterrumpidamente a intervalor demasiado cortos, cosa que ocurrirá si existiese un solo sensor.

Veamos entonces el funcionamiento del circuito, remitiéndonos a la fig. 2-1. El control lógico está a cargo de una cuádruple compuerta NAND (CD4011) cuya Tabla de Verdad conviene recordar, para analizar el funcionamiento del circuito. Cada compuerta tiene dos entradas y una salida. Recordemos que en una compuerta NAND, hay salida baja (próxima a cero voltios) solo cuando ambas entradas están a nivel alto. Cualquier otra combinación de niveles de entrada dará un nivel alto a la salida. Esto servirá para analizar el comportamiento de la compuerta CI1C. Las demás compuertas están conectadas como inversoras, es decir que el nivel de salida será opuesta al nivel de entrada, considerando que la misma está constituida por ambas entradas en paralelo.

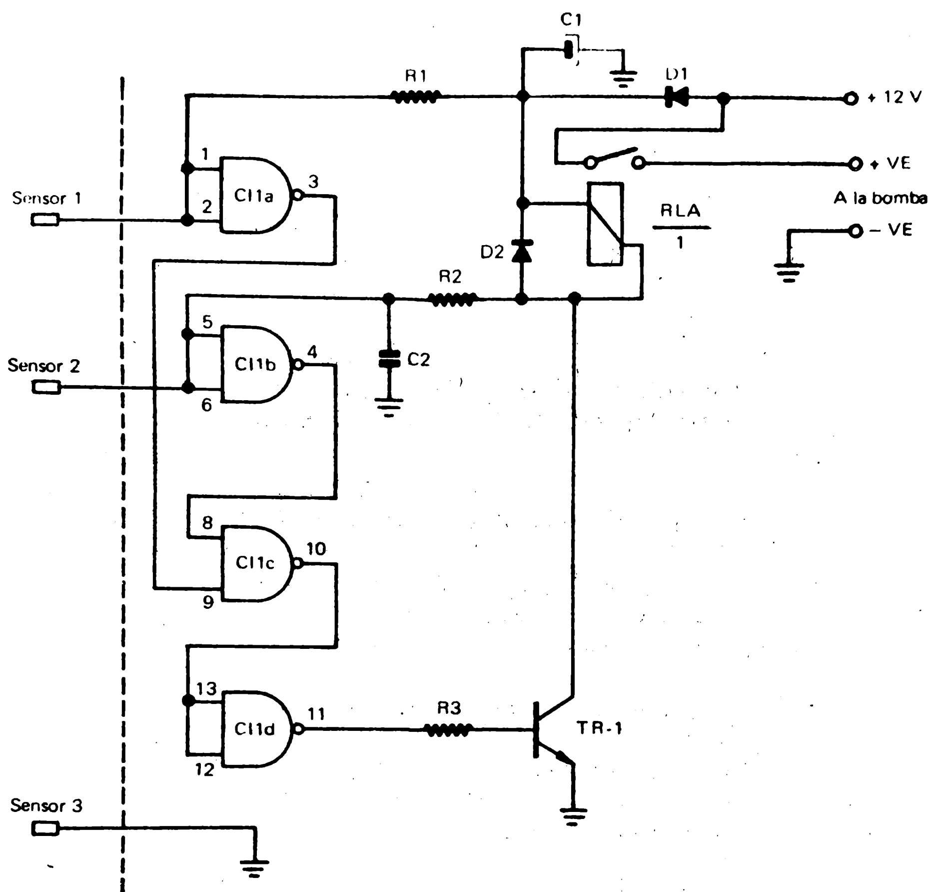


Fig. 2-1: Circuito de la bomba automática de sentina.

Los dos sensores estarán dispuestos a distintos niveles de altura con respecto al piso. El primer sensor estará lo más próximo al mismo, y determinará el mínimo nivel tolerable de agua, es decir, el punto donde se detendrá el accionar de la bomba. El segundo sensor determinará el nivel en que se pondrá en marcha el motor. El sensor número 3 estará a ras del piso, pues es el que determina el nivel cero (0 de referencia). Esto es necesario pues se supone que la mayoría de las embarcaciones son de madera, pero si hubiere un piso metálico, éste podría servir como referencia.

Veamos entonces la situación cuando el nivel de agua se encuentra por debajo del nivel del sensor N° 1. Como las entradas de CI1a se hallan a nivel alto,

lebido a que se encuentran conectadas a positivo a través de R1, la salida será baja. Lo mismo ocurre con CI1b, polarizado mediante R2 en serie con el bobinado de RLA1.

Entonces se tiene que ambas entradas de CI1c se encuentran a nivel bajo, por lo que la salida de CI1C se encontrará a nivel alto. CI1d, que es un inversor, transforma a un nivel bajo, que va conectado a la base de Tr1. Con la base a nivel de masa, TR1 no conduce, por lo que el relé no acciona y la bomba permanece inoperante. Veamos ahora si el nivel de agua sube y alcanza el sensor N° 1. Como el agua es relativamente conductora, las entradas de CI1a quedan a nivel bajo, pues la resistencia del agua que puentea el sensor N° 1 con respecto a masa es mucho menor que R1.

La salida de CI1a pasará a nivel alto y lo mismo sucederá con una de las entradas de CI1c. Pero la situación anterior no se vé alterada, y la bomba seguirá sin funcionar. Supongamos ahora, que el nivel de agua sigue creciendo y alcanza al sensor N° 2.

CI1b tendrá su salida en nivel alto y por lo tanto, ambas entradas de CI1c estarán también a nivel alto. La salida de CI1c pasará a nivel bajo y la de CI1d a nivel alto. Esto producirá la saturación de TR1 y se activará entonces el relé, poniendo en funcionamiento la bomba de achique.

El nivel de agua comenzará a descender (que en definitiva es el fin previsto) hasta que el sensor N° 2 deje de estar en contacto con el agua. No obstante, la salida de CI1b permanece en nivel alto, pues R2 está conectado al colector de TR1, que permanece a nivel bajo. Cuando el nivel de agua desciende por debajo del sensor N° 1, la salida de CI1a pasa a nivel bajo y entonces la salida de CI1c va a nivel alto, lo que produce el bloqueo de TR1, y la bomba se detiene.

Los sensores conviene realizarlos con alambres de acero inoxidable (como los utilizados por ejemplo en los avíos de pescar).

Las conexiones al circuito se realizarán mediante cables aislados. Obviamente, todo el circuito debe ser a prueba de agua y será conveniente que una vez introducido dentro de un gabinete plástico, todo el conjunto se selle con un componente adecuado, como el fastix.

No será necesario incluir una llave de encendido, pues el consumo en reposo es insignificante, solamente de unos pocos microamperes, probablemente menor que las pérdidas normales de la batería.

Será conveniente ubicar la unidad cerca del centro de la embarcación para minimizar los efectos del movimiento.

COMPONENTES

Semiconductores

CI1 : CD4011 D1, D2: 1N4001

TR-1 : BC337B

Capacitores

C1 : electrolítico 100μF x 16 V , C2: 100 nF cerámico

Resistores 1/4 W ± 5%

R1; R2 : 470 kΩ , R3: 10 kΩ

Varios:

Relé 1 contacto de trabajo, bobina 12 V 150 Ω (Ralux p/circ. impreso mod. T10); plaqueta cobreada; gabinete plástico; sensores de acero inoxidable.

BOTONERA ELECTRONICA DE SEGURIDAD

Este circuito permite que cuatro llaves de acción momentánea sean utilizadas como botonera auto-retenida, donde la última llave o pulsador operado es retenido electrónicamente, y si es operado otro pulsador, la salida del anterior queda inhabilitada. Es evidente que esto mismo puede lograrse mecánicamente, y de hecho, las botoneras disponibles en el mercado utilizan un tipo de vinculación mecánica mediante lengüetas corredizas y resortes; sin embargo, las botoneras mecánicas no ofrecen protección contra la circunstancia de operar dos o más pulsadores al mismo tiempo.

Esto puede resultar desastroso, por ejemplo, en sistemas de control de motores si se operan simultáneamente las órdenes de marcha directa e invertida. El circuito propuesto *se resetea automáticamente* si se opera más de un pulsador simultáneamente.

Las aplicaciones pueden ser numerosas, por ejemplo, para un control lógico de pasacinta, donde presionar simultáneamente las teclas PLAY y REW puede ocasionar serios trastornos.

Los contactos de las llaves poseen un sistema antirrebote realizado con biestables *latch* Set-Reset (S-R) formados por IC1, 2 y 3. La necesidad de un sistema antirrebote se produce porque en todo contacto mecánico, como el realizado en una llave o en los contactos de un relé, al abrir o cerrar el circuito, no se produce una separación o unión neta en los contactos involucrados.

Si se pudiera observar el proceso en cámara lenta se vería, por ejemplo, que al cerrar el contacto, inmediatamente se produce una apertura, como si *rebotara,* luego otra vez se produce el cierre, y nuevamente otra apertura, todo esto en una rápida sucesión y durante un lapso que puede abarcar unos 10 milisegundos.

Esto se puede visualizar también con un buen osciloscopio, preferentemente del tipo *storage. El fenómeno descrito produce un serio disturbio en todo sistema digital al cual está acoplado un interruptor mecánico.*

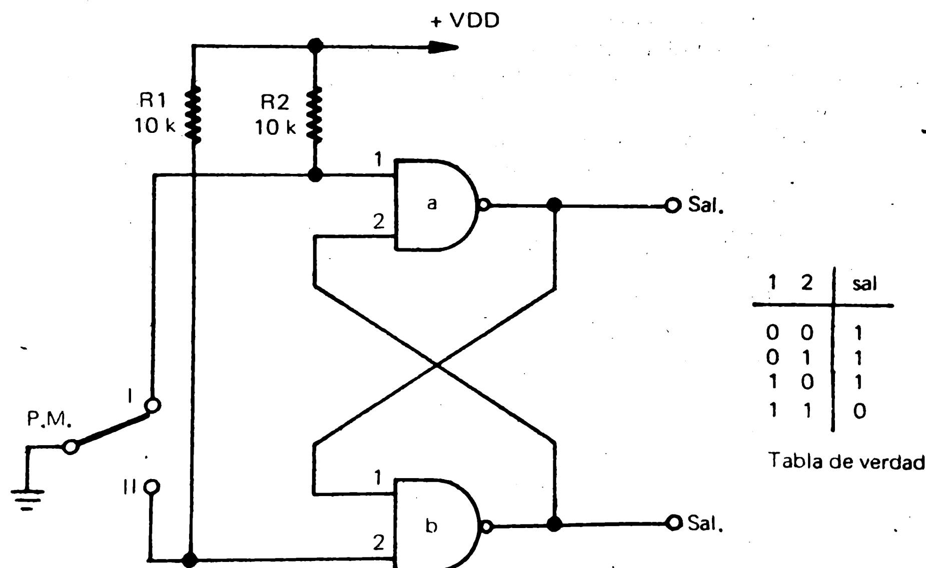
Esto se puede visualizar también con un buen osciloscopio, preferentemente del tipo *storage.* El fenómeno descrito produce un serio disturbio en todo sistema digital al cual está acoplado un interruptor mecánico semejante, especialmente si con el mismo se controlan biestables o contadores, pues los sucesivos rebotes producen un tren de pulsos que alteran el conteo.

Existen varios métodos para eliminar el efecto de los rebotes. Algunos se basan en la duración de los mismos, que en términos generales ronda en los 10 milisegundos. Por ejemplo, haciendo que el interruptor mecánico accione un monos-

table, cuyo pulso de salida debe superar el tiempo de duración de dichos rebotes.

El método del biestable SR se aproxima a la solución ideal, pues es independiente de la duración de los rebotes, aunque deben cumplirse algunos requisitos: debe utilizarse una llave mecánica inversora si se desea acción simple, o dos llaves interruptoras si se desea acción dual (una para *set*, otra para *reset*). Además, la acción del rebote no debe interactuar entre los contactos externos (en el caso de la llave inversora).

La fig. 2-2 muestra la forma de implementar un biestable SR *latch* con dos compuertas NAND. A la derecha de la figura se incluye una tabla de verdad de la función NAND. Observando la figura notamos la típica disposición *cruzada* de una de las entradas de cada compuerta con la salida de la otra. Las entradas libres van a los contactos posicionales de una llave inversora, cuyo punto medio va conectado a masa. Además, se puede observar que cada entrada conectada a la llave tiene un resistor conectado a la línea de positivo. Esto es para evitar que la entrada quede *al aire* cuando la llave pasa a la otra posición.



1	2	sal
0	0	1
0	1	1
1	0	1
1	1	0

Fig. 2-2 Biestable S-R "latch" con dos compuertas NAND y Tabla de Verdad.

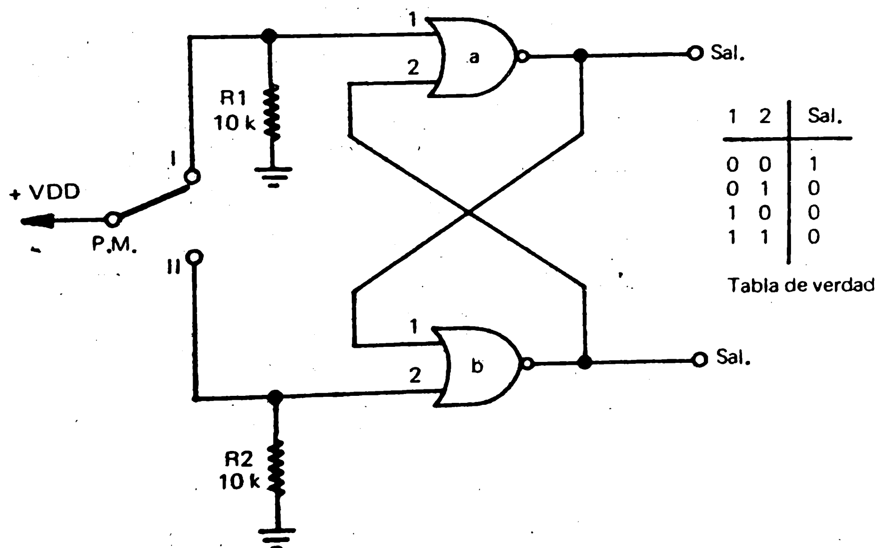
Analicemos ahora el funcionamiento. Con la llave en la posición de la figura, la entrada (1) de la compuerta *a* está a masa (nivel lógico cero). Observando cuidadosamente la tabla de verdad vemos que basta que una de las entradas de una compuerta NAND esté a nivel cero, para que la salida asuma nivel *uno* (o alto).

La salida de *a* está conectada a la entrada *1* de *b*, además, la entrada *2* de *b* está a nivel *alto* merced a la acción del resistor R1. Tenemos entonces que la salida de la compuerta *b* está a nivel *bajo*, pues las dos entradas están a nivel

alto (ver tabla de verdad). Si en estas condiciones, se mueve la llave inversora de la posición I a la posición II, se constata que al abrirse el contacto de la posición I, el estado de cosas no varía, es decir, que las salidas de las compuertas permanecen inalterables. Si se produce *rebote*, lo que significa el sucesivo cierre y apertura del contacto I con el punto medio de la llave, éste no se traduce en ningún efecto.

Cuando, por acción del movimiento que se ha impreso a la llave, se cierra el contacto II, ahora sí se produce la conmutación instantánea del biestable, pues tenemos la siguiente situación; un *cero* a la entrada *2* de *b* hace que la salida de éste pase inmediatamente a nivel alto. Las dos entradas de *a* pasan a nivel alto y por consiguiente la salida de esta compuerta pasa a nivel bajo.

Si el contacto II se abre y cierra sucesivamente (efecto de rebote), ello no altera el estado de cosas. Al mismo resultado se llega utilizando compuertas NOR. En este caso, el punto medio de la llave debe ir a positivo, y las resistencias conectadas a las entradas deben retornar a masa, tal como se expone en la fig. 2-3, junto a la tabla de verdad.



1	2	Sal.
0	0	1
0	1	0
1	0	0
1	1	0

Fig. 2-3: Biestable S-R "latch" con dos compuertas NOR y Tabla de Verdad.

Resultará instructivo seguir el razonamiento para explicar el funcionamiento de esta configuración, por lo que se sugiere al lector realizarlo.

La fig. 2-4 muestra el circuito completo de la botonera electrónica de seguridad. Los biestables S-R están constituidos por IC1, IC2 é IC3. Las salidas que están normalmente en nivel bajo, van a las entradas de IC5 (patas 2, 3, 21 y 22) que es un integrado decodificador, de 4 a 16 líneas, de 4 bits *latcheado*. Este integrado constituye el *componente* básico del circuito.

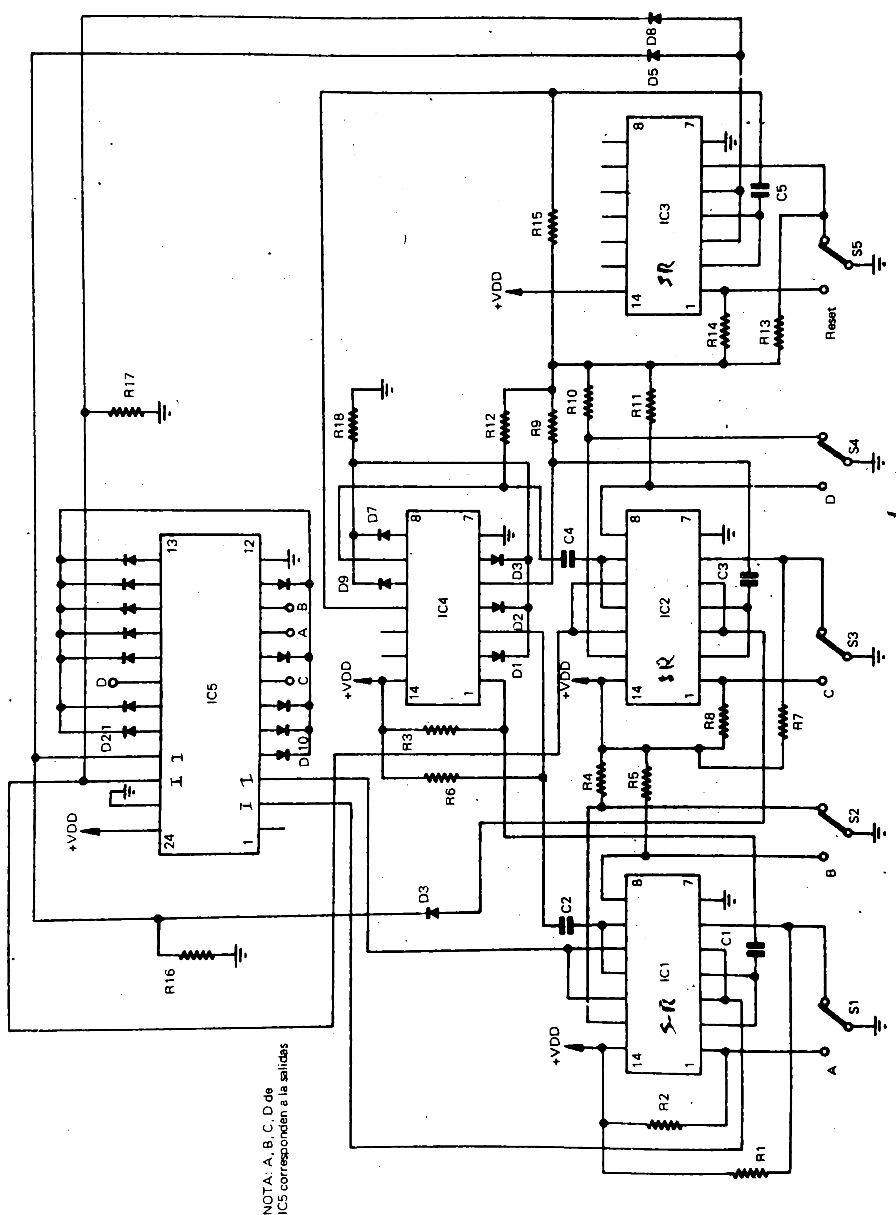


Fig. 2-4: Circuito completo de la botonera electrónica de seguridad.

Su función consiste en retener la entrada binaria en el momento de ingresar un pulso a la entrada *strobe* (pata 1) y convertirla a una de dieciséis salidas. Los pulsos de *strobe* provienen del integrado IC4, que es un hex-schmitt trigger inversor, que recibe a la entrada de cada etapa un pulso de gatillado de las salidas de los biestables S-R que están normalmente en nivel alto.

Las salidas de IC4 conforman una compuerta *OR* con diodos.

Cada vez que se opera un pulsador, aparece un corto pulso a la salida de IC4, que opera el *strobe*, y a su vez, produce la salida binaria *1, 2, 4* y *8,* de acuerdo al pulsador que se opere. Si se opera simultáneamente más de un pulsador, la combinación binaria de las entradas hará que otras salidas, aparte de las válidas A, B, C, D, irán a nivel alto, y entonces, a través de algunos de los diodos D10 a D21 se producirá un pulso de reset.

Un *reset* adicional manual se implementa mediante el pulsador S5 asociado a IC3, que codifica un número de *bit* múltiple a la entrada, forzando el reset.

Pueden efectuarse numerosas variaciones del circuito, incluyendo el uso de más de un 4514 para obtener mayor capacidad de elementos pulsadores. Hay que mencionar también que si IC5 es sustituido por un 4515, las salidas estarán invertidas, es decir, serán de nivel bajo, operando las llaves correspondientes.

La alimentación puede estar comprendida entre 3 y 15 voltios, como es usual para los integrados C-MOS. No se ha previsto una fuente de alimentación pues se considera que la misma ha de tomarse del dispositivo al cual iría acoplada la botonera.

No obstante, si ello fuera necesario, podrá adaptarse alguna de las fuentes incluidas en el presente libro.

COMPONENTES

Semiconductores

IC1; IC2; IC3	: 4011 cuádruple NAND de dos entradas
IC4	: 40106 Hex Schmitt trigger
IC5	: 4514 decodificador de 4 a 16 líneas *latcheado*
D1 a D21	: 1N4148 diodo de señal

Resistores 1/4 W± 5%

R1 a R19	: 10 kΩ

Capacitores

C1 a C5	: 1 nF plate

Varios

S1 a S5, pulsadores o llaves inversoras simples.

GENERACION DE PULSOS A PARTIR DE CONTADORES C-MOS

Un aspecto importante en el estudio de circuitos de pulsos es la interpretación de los distintos niveles, su relación temporal, coincidencia o no de sus flancos de ascenso y descenso, etc.

El desarrollo de un generador de pulsos utilizando exclusivamente la tecnología C-MOS resulta interesante para comenzar a familiarizarse con las distintas combinaciones de integrados y analizar el estado de las entradas y salidas correspondientes.

El generador de pulsos descrito en la figura 2-5 emplea dos integrados contadores decimales CD4017 y cuatro compuertas NAND tipo SCHMITT-TRIGGER contenidas en un integrado CD4093.

Los contadores CI-1 y CI-2 están conectados como divisores por 10.

Las correspondientes señales de salida de cada contador se indican como Qo a Q9 en forma sucesiva.

El flanco negativo de la señal Q9 de CI-2 (que corresponde al flanco positivo de Qo) dispara el multivibrador biestable formado por el acoplamiento N2-N3. La señal de disparo se aplica a través del capacitor C1 a la entrada correspondiente del bistable, cuya polarización queda a cargo de R1.

En estas condiciones, la salida Q del generador pasa al estado lógico alto.

El estado del contador válido, en un instante de tiempo determinado, llega a la compuerta N1, según la posición de las llaves conmutadoras S2 y S3.

Cuando se alcanza la indicación del contador seleccionado con dichas llaves, la compuerta N1 envía un pulso de inicialización al flip-flop y la salida Q pasa a nivel lógico bajo.

La figura 2-6 presenta el diagrama de pulsos del sistema. La señal de reloj puede ser externa al circuito. Como la frecuencia de entrada máxima es de 1 MHz, la frecuencia de salida es de 10 MHz, puesto que existen dos pasos de división por 10; es decir:

$$fs = \frac{fe}{10 \times 10} = \frac{1\ \text{MHz}}{10 \times 10} = 10\ \text{kHz}$$

Si no se emplea entrada externa de reloj, mediante la llave S1 se aplica la señal interna producida por N1, compuerta conectada a modo de oscilador.

La señal generada por este oscilador interno puede variarse entre 20 y 200 Hz modificando la posición del cursor de P1. Este rango de frecuencia es válido para

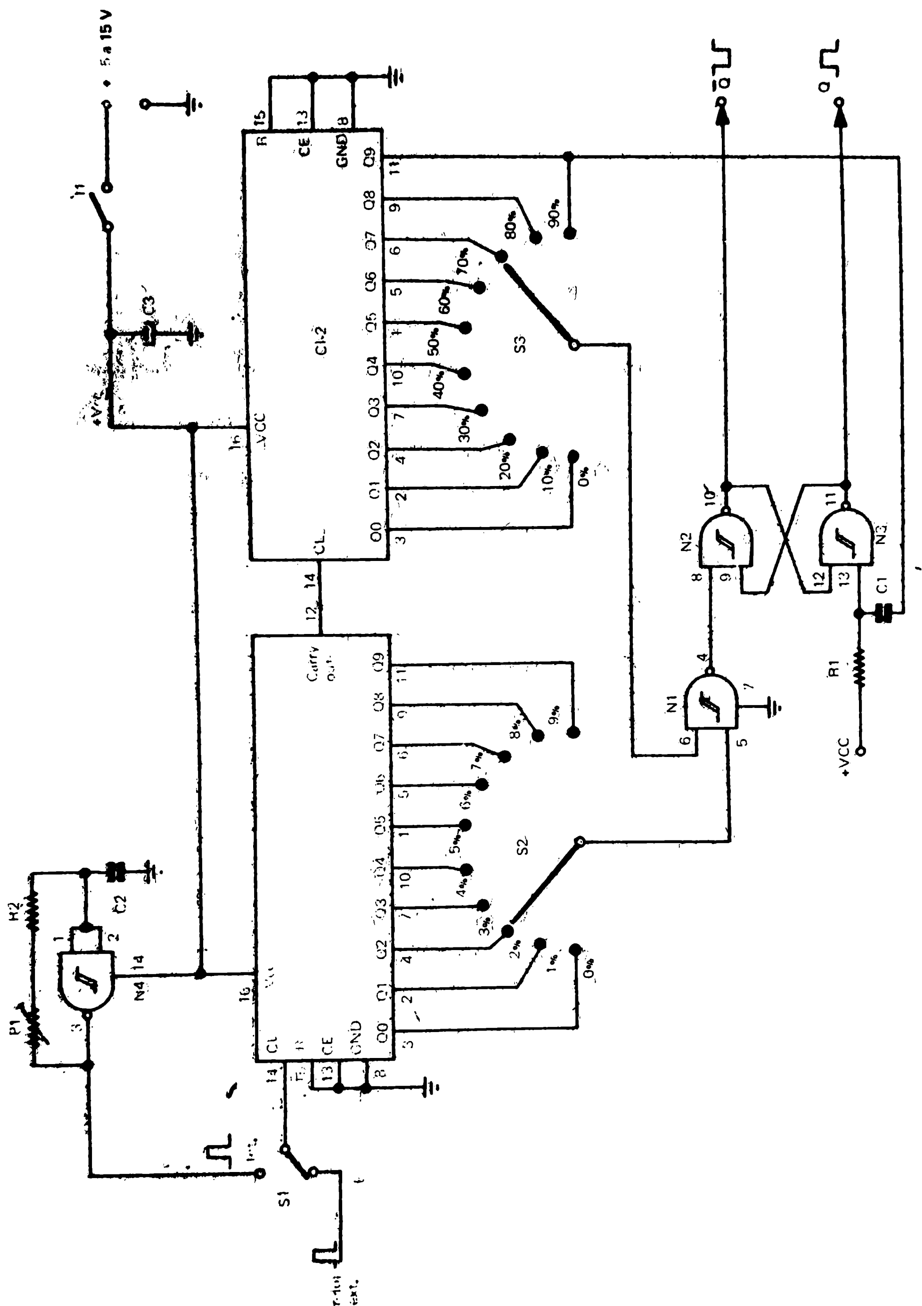


Fig. 2-5: Generador de pulsos empleando contadores decimales y compuertas NAND tipo SCHMITT TRIGGER.

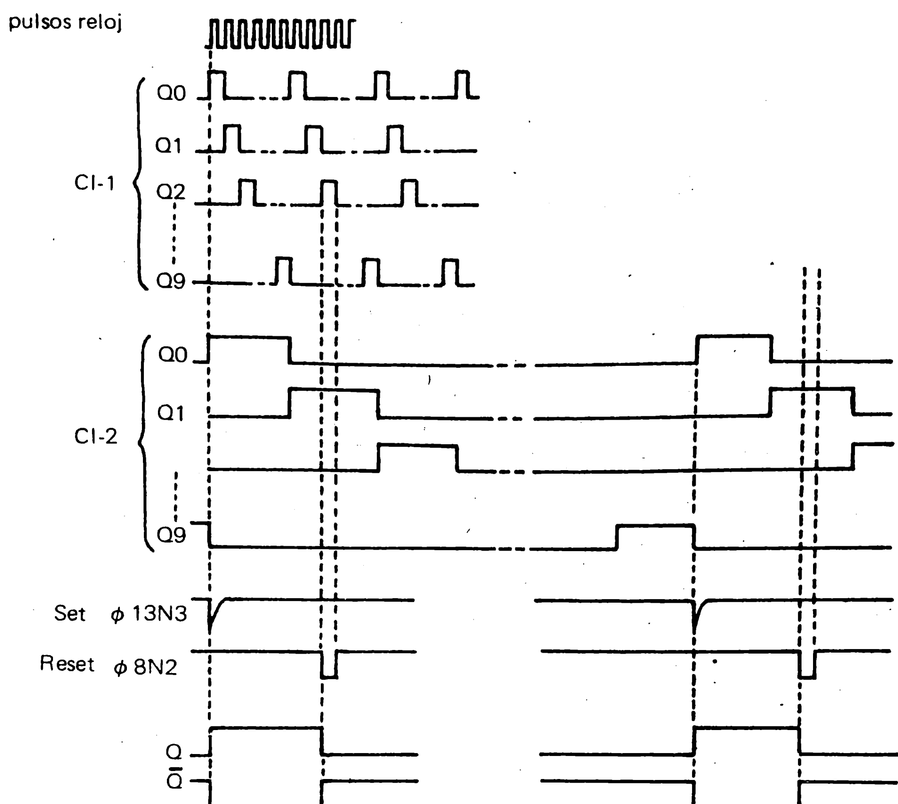


Fig. 2-6: Diagrama de pulsos, válido para el circuito de la fig. 2-5.

una tensión de alimentación de 12 V. Para valores distintos de la misma el rango varía. El valor mínimo de Vcc es de 5 V y el máximo de 15 V.

El valor de C2 influye también sobre el valor de la frecuencia de este oscilador por lo que, una vez establecido su valor, conviene emplear para esta función un capacitor de buena estabilidad.

Empleando este sistema de conteo el ciclo de utilización o la relación cíclica de una señal puede ser ajustada con gran exactitud, en intervalos del 1% dentro del rango que va desde el 1% hasta el 99%.

Obsérvese al respecto que el primer contador establece los intervalos que van desde el 0% al 9% (10 pasos) y el segundo contador establece los intervalos comprendidos entre el 0% y el 90% (10 pasos).

El % de salida será el resultado de la suma de ambas posiciones. En el ejemplo de la figura se ha establecido un ciclo de utilización del 12% y a ello corresponden los diagramas de pulsos mostrados.

Inicialmente –para este ejemplo– el pulso de posicionamiento (denominado *set*) hace que la salida Q pase a nivel alto.

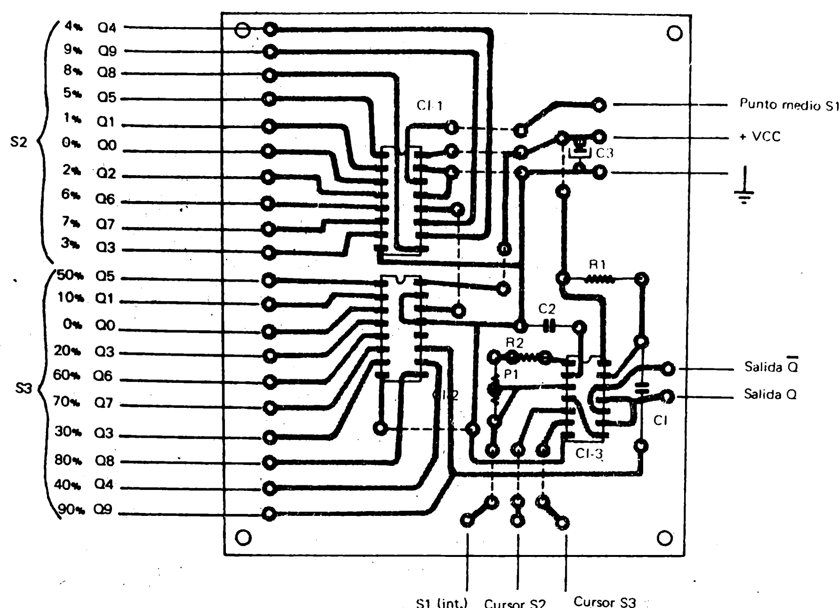


Fig. 2-7: Circuito impreso, visto por transparencia y disposición de componentes del circuito mostrado en la fig. 2-5.

Pero cuando la salida Q2 de CI-1 y Q1 de CI-2 tengan nivel alto, la salida Q volverá al nivel bajo y así sucesivamente. La salida Q presentará en todo momento el nivel opuesto, tal como se ve en la parte inferior del diagrama.

La figura 2-7 muestra el circuito impreso, visto por transparencia.

COMPONTENTES

Semiconductores

CI-1 y CI-2 : CD4017
CI-3 : CD4093

Resistores ± 5% 1/8 W

R1: 10 kΩ
R2: 82 KΩ

Capacitores

C1: 100 pF N750 cerámico
C2: 680 pF stiroflex
C3: 22 μF x 25 V electrol.

Varios

I1 : interruptor alimentac.
S1 : llave inversora 1 polo
S2 y S3 : llaves 1 polo - 10 posiciones
P1 : 1 MΩ pre-set
Circuito impreso.

GENERADORES DE PULSOS DE RELOJ

Un instrumento indispensable para el banco de trabajo, si se trabaja con circuitos digitales, es una fuente de ondas cuadradas (en lenguaje digital): generador de reloj. Mientras que es posible improvisar una fuente de reloj en un ángulo de una plaqueta de prueba o experimental, armar un generador de reloj cada vez que se necesite uno en forma rápida, puede resultar una tarea tediosa, y la necesidad de poseer un generador de reloj de aplicación general resulta muy útil para el experimentador.

Hay dos maneras básicas de construir un generador de reloj: La primera es construir un oscilador variable, tanto a partir de inversores como de un temporizador con circuito integrado semejante al 555, donde la frecuencia se ajusta mediante un potenciómetro y un capacitor, seleccionado mediante un conmutador, para proveer varios rangos de frecuencia. La ventaja de éste método consiste en que puede ajustarse, en forma precisa, cualquier frecuencia en cualesquiera de los rangos, pues la frecuencia de salida es continuamente variable dentro de cada rango. Por otra parte, es necesario utilizar un frecuencímetro para realizar ajustes finos y, salvo que se utilice un circuito complejo y costoso, el corrimiento de frecuencia puede ser un problema.

El segundo método consiste en utilizar un oscilador de alta frecuencia controlado a cristal para proveer una frecuencia de referencia y utilizar contadores para dividir esta frecuencia patrón hasta rangos utilizables. Esto proporciona una marcada precisión y estabilidad, aunque resignando la posibilidad de obtener frecuencias de salida ajustables y continuamente variables. Para usos generales, el tipo de generador variable es satisfactorio, pero para aplicaciones de precisión, un generador controlado a cristal como el que se describe aquí, resultará de gran utilidad.

El Generador de Pulsos de Reloj es un generador controlado a cristal que posee 12 frecuencias de salida seleccionables mediante llaves. Puede ser agregada una banda adicional de 6 frecuencias, proporcionando un total de 19 frecuencias desde 1 Hz a 1 MHz, más que suficiente para la mayoría de los propósitos. El costo del aparato es reducido, pues solo se utilizan 5 integrados.

El corazón del generador, a semejanza de muchos generadores de este tipo, es una cadena de contadores de décadas sincrónicos utilizados para dividir la frecuencia principal en múltiplos de 10.

Como se muestra en la fig. 2-8, se utilizan seis contadores, realizados a partir de tres contadores sincrónicos BCD dobles del tipo 4518. Muchos generadores semejantes utilizan una frecuencia de oscilación de 1 MHz y la dividen para producir salidas de 100 kHz, 10 kHz y así, hasta llegar a 1 ó 0,1 Hz. El problema

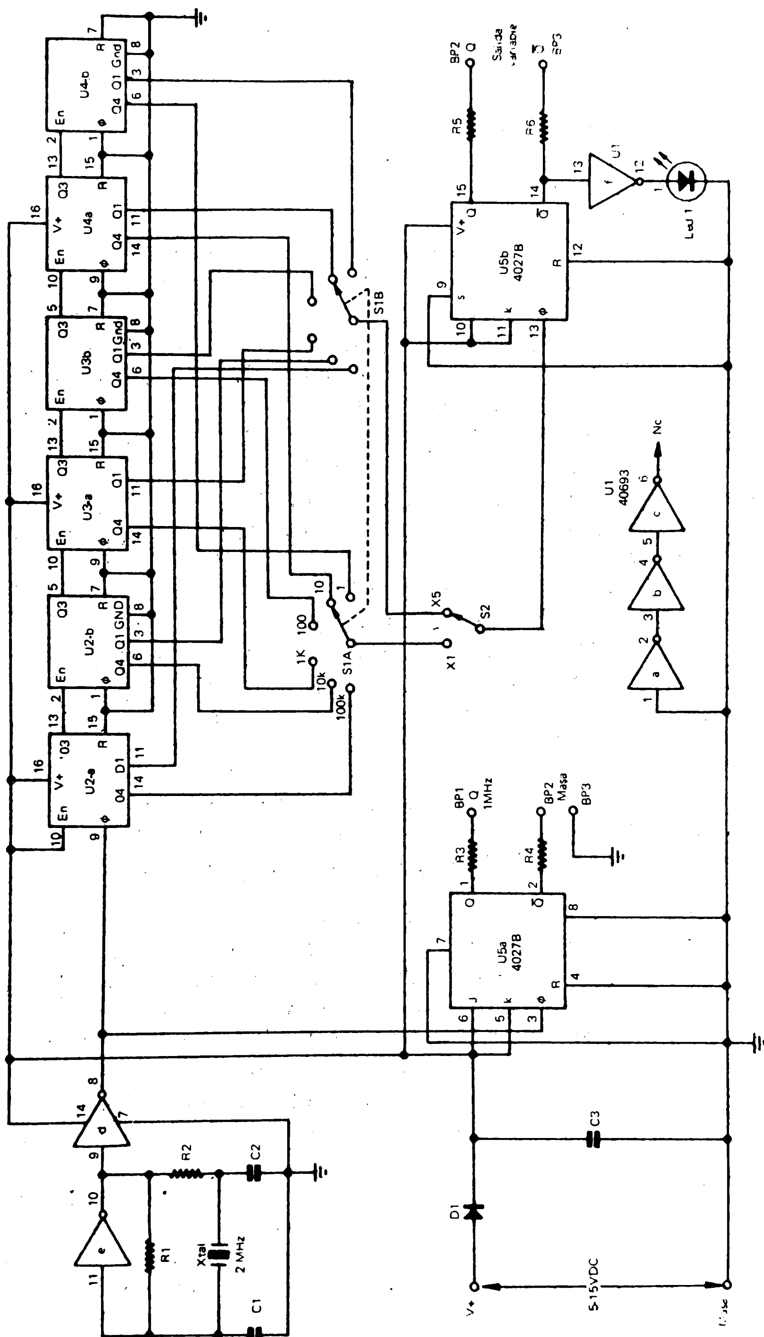


Fig. 2-8: Circuito del generador de pulsos de reloj

con ellos es que pocos contadores poseen salidas del 50% del ciclo de trabajo, cosa deseable en general y requerida por algunos circuitos. Por lo tanto, el generador descrito aquí, utiliza una frecuencia de oscilación de 2 MHz, con el agregado de una etapa divisoria extra (por 2), como se verá al analizar la etapa.

El oscilador se basa en un diseño convencional; utilizando una sección inversora de un integrado 4068 como elemento activo (U1-e), con el cristal de 2 MHz y los componentes del circuito tanque en paralelo. Para evitar problemas de carga, un segundo inversor es utilizado como etapa separadora de salida (U1-d). No se utilizan las secciones U1-a, U1-b y U1-c, que se ponen fuera de servicio conectándolas como indica el esquema.

Los contadores decimales codificados en binario (BCD), como el 4518, poseen cuatro salidas, que están designadas por Q1, Q2, Q3 y Q4. Q1 divide la frecuencia de entrada al contador por 2; Q2 divide la entrada por 4; y Q3 – Q4 dividen ambos la frecuencia de entrada por 10 (Q3 con el 40% del ciclo de trabajo y Q4 con el 20% del mismo).

La salida de 2 MHz del oscilador a cristal es llevada a la entrada de reloj del primer contador (U2-a). Las salidas son entonces de 1 MHz en Q1, 500 kHz en Q2 y 200 kHz en Q3 y Q4. La salida de Q3 es utilizada para excitar la siguiente etapa, y así se llega al último contador (U4-b), el cual posee frecuencias de salida de 10 Hz en Q1, 5 Hz en Q2, y 2 Hz en Q3 y Q4.

Las seis salidas Q4 de los contadores se conectan a las seis posiciones de un polo de S1 (S1a), una llave rotativa de dos polos –seis posiciones, y la salida de la llave es llevada (a través de S2) a la entrada de reloj de un biestable doble JK U5-b, del tipo CMOS 4027.

La frecuencia seleccionada por S1 aparece a la salida de este biestable dividida por dos y con un ciclo de trabajo y perfecto del 50%. Con la división final del biestable, las seis frecuencias de salida son ahora de 1 Mz a 100 kHz. Como agregado, la salida Q del biestable proporciona una muy utilizada salida complementaria.

El generador de reloj posee además una llave de rangos (S2) que es utilizada para seleccionar el multiplicador X5. Cuando está en la posición X1, la salida que se toma desde la llave S1a y las frecuencias de salida son las mencionadas más arriba. Cuando S2 se coloca en la posición X5, la salida se toma desde la llave S1b, que toma las salidas Q1 del contador. Por lo tanto, las frecuencias de salida se multiplican por 5, cubriendo el rango de 5 Hz a 500 kHz. Esto proporciona las 12 frecuencias de salida del generador en los terminales Q y $\overline{Q}$, todo esto con precisión y estabilidad de cristal, y con el 50% de ciclo de trabajo, además de la salida complementaria.

Si se desean más frecuencias, una tercera serie de salidas *X2,5* puede agregarse utilizando una llave de 3 polos - 6 posiciones para S1, y de 1 polo - 3 posiciones para S2. Las seis posiciones del tercer polo se conectan a las salidas Q2 de los seis contadores (U2a - U4b) lo que da por resultado un rango de frecuencias de 2,5 Hz a 250 kHz en las salidas. Un diodo emisor de luz, LED1, indica la fase de la salida Q. Por supuesto, los estados individuales, sólo son visualizables a frecuencias de 10 Hz o menores, pero el indicador puede utilizarse en todas las frecuencias como indicador de funcionamiento.

En adición a las salidas variables seleccionadas por las llaves, el generador de reloj posee una salida complementaria, proporcionda por U5a, el otro biestable JK, el cual recibe la señal dirctamente desde la salida del separador que sigue al oscilador. Estas salidas, tomadas en BP1 y BP2 proporcionan una señal bifase de 1 MHz, que es particularmente útil para el experimentador que trabaja con circuitos de microporcesadores.

Adicionalmente a los cuatro terminales de salida, nótese que hay un terminal de masa a incluir en el panel frontal, BP3. Puesto que el generador de reloj está destinado a alimentarse desde el circuito bajo ensayo, al que le proveerá los pulsos de reloj, ya hay una masa común; sin embargo, cuando se suministren frecuencias de 100 KHz o más, una conexión separada de masa deberá ser provista para asegurar una señal libre de interferencias.

Para alimentar el generador desde el circuito bajo prueba, se utilizarán clips cocodrilo. Esto es similar al uso de puntas lógicas. Las salidas son compatibles con la lógica TTL, siempre que se alimente sólo una entrada TTL desde cada salida del generador.

Ocasionalmente habrá que adicionar un resistor de 2K2 a masa, particularmente con la serie TTL standard 7400.

Obsérvese la inclusión del diodo D1 en serie con la alimentación para prevenir daños al circuito en el caso de inversión accidental de polaridad. Puesto que el germanio posee una caída de tensión directa menor que el silicio, se utiliza un diodo de germanio 1N34A mejor que uno equivalente de silicio, para reducir la caída de tensión con fuentes de alimentación de bajo voltaje. El capacitor C3, de 100 nF, se utiliza para filtrar los transistorios desde la fuente de poder, pero nótese que no se provee protección contra sobretensiones. Si hay peligro de que se puedan conectar más de 18 V al generador, puede agregarse una limitación de tensión consistente en un diodo zéner de 18 V - 1 W como *barra de cortocircuito* para proteger el circuito.

El generador consume muy poca corriente, drenando unos 4 mA en 5 V y un máximo de 35 mA en 15 V.

Aunque los osciladores a cristal son de gran precisión inherente, es deseable obtener una oscilación lo más exactamente centrada en 2 MHz. Esto se logra reemplazando a C1 por un capacitor variable de 0-100 pF. Con un frecuencímetro conectado a la pata 8 de U1, se ajustará el capacitor hasta que el medidor indique 2.000.000 Hz con la mayor resolución obtenible. Con el valor fijo asignado a C1, cabe esperar un error de 0,01 %, que es una aproximación bastante aceptable.

COMPONENTES

Semiconductores

D1 : diodo de germanio 1N34A
LED1 : diodo LED
U1 : CD4068, hex inversor

U2-U4 : CD4518 B contador sincrónico BCD dual
U5 : CD4027 B doble biestable tipo JK

Resistores 1/4 W 5%

R1 : 10 MΩ
R2 : 4 k7
R3; R4; R4; R6: 1 kΩ

Capacitores
C1; C2 : 56 pF NPO (ver texto)
C3 : 100 nF poliester

Varios
BP1 a BP5, fichas banana hembra, una negra, 4 rojas; S1, llave rotativa 2 polos 6 posiciones; S2, llave un polo, 2 posiciones, a corredera; XTAL, cristal piezo eléctrico de 2 MHz.

ENLACE DE AUDIO POR FIBRA OPTICA

Aunque existe mucho material escrito acerca de las fibras ópticas en las revistas técnicas, a través de los años, y su tecnología ha comenzado a causar un genuino impacto en las industrias dedicadas a las telecomunicaciones, los proyectos prácticos que incluyen fibras ópticas son casi inexistentes. Aunque hay que admitir que las prestaciones que puede brindar el cable de fibra óptica, está en exceso lejos de las posibilidades de los aficionados (como por ejemplo, la transmisión de veinticinco señales de TV por un único cable), un enlace simple de señal puede encararse sin dificultad, y puede resultar sorpresivamente económico. El precio mismo del cable, ha bajado a través de los años, y es ahora solo un poco más costoso que un cable eléctrico ordinario.

Se describe a continuación un sencillo enlace de audio por fibra óptica que no ofrece dificultades para la obtención de los componentes electrónicos. Se utiliza un sistema de modulación de frecuencia para obtener buena linealidad, y una relación señal a ruido mejor que 60 dB. Esta tarea está a cargo de un integrado de tecnología CMOS, el 4046BE.

Un LED de alto brillo es usado como fuente de luz modulada, y un fototransistor común actúa como receptor de luz. La distancia a cubrir está en el órden de los 20 m, lo que puede resultar adecuado para muchos propósitos, aunque dicho rango puede ampliarse fácilmente, sin necesidad de modificaciones. Si el sistema posee reales ventajas sobre un enlace con cable eléctrico es realmente discutible, pero resulta un proyecto interesante para experimentadores.

El tipo de cable necesario para un enlace como el tratado aquí, es un filamento de polímero de aproximadamente 1 mm de diámetro y cubierto con un manguito de plástico para proteger el núcleo. Esto hace semejar el cable en apariencia con un cable unifilar eléctrico común, aislado en plástico, pero el cable de fibra óptica es generalmente un poco menos flexible. La luz introducida por un extremo del cable, tiende a propagarse a lo largo del filamento, reflejándose de una pared a otra, y emergiendo finalmente por el otro extremo. La dificultad en la producción de cable de fibra óptica es mantener las pérdidas en un nivel bajo.

La atenuación típica en un cable moderno (económico) es de 1 dB por metro. En otras palabras, el nivel de luz se reduce en un factor de 10 por cada 20 m de cable. Esto no parece muy bueno en comparación con un cable coaxil ordinario, y solo representa alrededor de un décimo del rango para un nivel de atenuación deseada, pero resulta adecuado para muchos propósitos. Si se usa un enlace entre un LED y un fotodetector, el rango obtenido mediante el

cable es considerablemente mayor que el obtenido mediante la simple incidencia de la luz directamente del LED al detector.

Por supuesto, la otra ventaja que brinda el uso de cable de fibra óptica es que no hace falta que exista necesariamente un medio transparente entre el emisor y el detector.

Aunque el cable se aparte de una trayectoria en línea recta, o resulte curvado en forma compleja, el grado de atenuación que provee permanece constante.

Hay dos tipos básicos de modulación que pueden aplicarse para el presente propósito, modulación de amplitud (AM) y modulación de frecuencia (FM). Con la modulación en amplitud, el LED transmisor está aproximadamente a la mitad de brillo que en condición de reposo, y el brillo varía en concordancia con la tensión de entrada de audio. Las tensiones positivas de entrada suministran un incremento en el brillo, mientras que las tensiones negativas suministran un decremento proporcional en el brillo. El fotodetector se conecta a un partidor que a su vez se liga a una fuente de tensión. El nivel variable de luz es entonces convertido en una resistencia variable a través del elemento detector, y a su vez convertido en variación de tensión por el circuito partidor de tensión.

Aunque el sistema de AM posee la ventaja de ser extremadamente sencillo, el mayor inconveniente consiste en que cualquier alinealidad en alguna parte del sistema produce distorsión en la señal de salida de audio. En la práctica esto dá por resultado niveles significativos de distorsión, y es mejor usar un sistema de FM, donde la alinealidad del LED, excitador del LED, y el fotodetector, no afectan la calidad de salida de audio. El equipo detallado utiliza una configuración simple de FM, y el diagrama en bloques del transmisor y el receptor se muestra, respectivamente, en las Figuras 2-9 y 2-10.

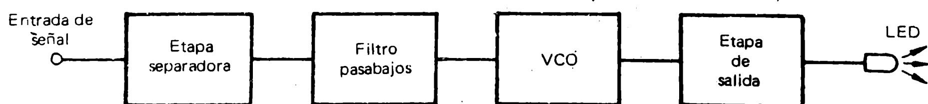


Fig. 2-9: Diagrama en bloques del transmisor.

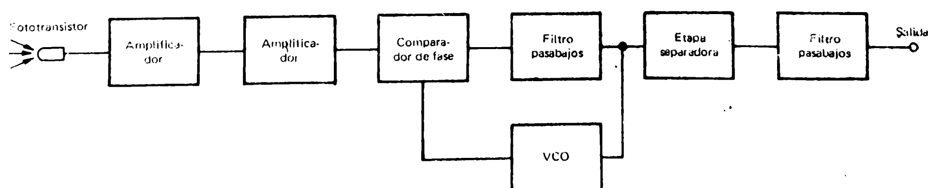


Fig. 2-10: Diagrama en bloques del receptor.

El transmisor es el más simple de los dos dispositivos, y en realidad consiste en poco más que en un VCO (oscilador controlado por tensión, en inglés). La frecuencia de salida del VCO es dependiente de la tensión de control, y esta tensión es modulada por la señal de entrada de audio. El receptor debe convertir

las variaciones en frecuencia nuevamente en una señal de audio, utilizando alguna forma de conversión de frecuencia a tensión. El LED es simplemente conmutado a conducción o no conducción, y es la frecuencia de conmutación, más bien que el brillo del LED, lo que es proporcional a la amplitud de la señal de entrada de audio.

Por consiguiente, el LED y el fotodetector no introducen distorsión en el sistema. Un sistema de FM no está sin embargo exento de distorsión, y el VCO debe poseer buena linealidad, lo mismo que el convertidor de frecuencia a tensión en el receptor, si se desea obtener una buena calidad en la salida de audio. En la práctica, es fácil lograr una buena linealidad en el VCO y en el detector.

Volviendo a la fig. 2-9, el transmisor consiste en algo más que un VCO, y una de las etapas adicionales consiste en una etapa separadora a la salida, que provee una corriente de excitación razonablemente alta para el LED. La etapa de entrada provee una mayor impedancia de entrada al circuito y provee baja impedancia de salida para excitar un circuito de filtro pasabajos. Esta etapa asegura que una frecuencia excesiva de modulación no alcance el VCO. La tensión de polarización para la entrada de control del VCO es suministrada por una etapa separadora, a través del filtro pasabajos.

Se usa un fototransistor como detector de luz, y esto provee buena sensibilidad para una frecuencia de portadora moderadamente alta de unos 100 kHz. Otro punto a favor de los fototransistores es que resulta fácil obtenerlos con una lente incluida que permite lograr un ángulo de captación bastante estrecho. Es importante para esta aplicación asegurarse que la luz proveniente del extremo del cable sea eficientemente acoplada al elemento detector semiconductor.

La salida desde el circuito detector es relativamente baja, típicamente para solo unos pocos milivoltios RMS o niveles más bajos. Se utiliza un amplificador de alta ganancia de dos etapas para reforzar y recortar la señal para obtener una virtual salida de onda cuadrada, para excitar el circuito de conversión frecuencia a tensión.

Un lazo enganchado en fase provee la conversión de frecuencia a tensión. El comparador de fase, el filtro pasabajos y el oscilador controlado por tensión (VCO) constituyen el lazo enganchado en fase. La fase y frecuencia relativas de la señal de entrada y el VCO se contrastan mediante el comparador de fase, el cual provee una serie de pulsos de salida. Estos pulsos son integrados por el filtro pasabajos para producir un control de tensión razonablemente suave para el VCO. Si el VCO está a menor frecuencia que la señal de entrada o aún si tiende a retrasarse en fase, la salida desde el filtro pasabajos será de mayor tensión y aumentará la frecuencia de operación del VCO.

En forma similar, si el VCO opera a mayor frecuencia que la señal de entrada, o adelanta en fase, la salida del filtro pasabajos tendrá una menor tensión. Esto reduce la frecuencia de operación del VCO. Estos constituye una acción de realimentación negativa que hace enclavar al VCO a la misma frecuencia que la señal de entrada, y también la mantiene en fase con ella. Se dá por sentado que la frecuencia de entrada está dentro del rango de captura del circuito. Para una demodulación apropiada, la frecuencia portadora del transmisor debe ser próxi-

ma a la frecuencia central del VCO en el sistema de enganche en fase (PLL), y la desviación en el transmisor no debe sacar la portadora del rango de enganche del PLL. La pérdida del enganche en los picos de señal puede causar una severa distorsión.

Por supuesto, en esta aplicación, no es la salida del VCO lo que se aprovecha, sino la tensión de control tomada del filtro pasabajos. Esta tensión crece y decrece en concordancia con las fluctuaciones en la frecuencia de entrada, y si el VCO posee buena linealidad, resultará en una conversión de frecuencia a tensión dotada de la linealidad requerida. Los detectores con PLL proporcionan excelentes resultados, y una aceptable relación señal / ruido para señáles débiles o enmascaradas con ruido.

La salida demodulada de audio se envía —etapa separadora de por medio— a un segundo filtro pasabajos. Este filtro asegura que no aparezca un residuo de portadora significativo a la salida, y es del tipo activo, proveyendo además baja impedancia de salida.

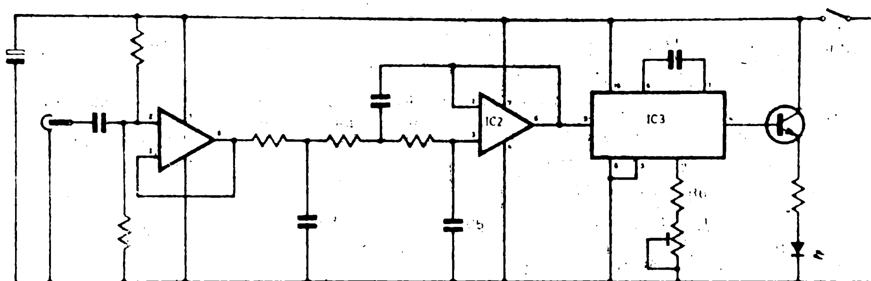


Fig. 2-11: Circuito del transmisor.

La fig. 2-11 muestra el diagrama circuital del transmisor.

El circuito está desarrollado alrededor de IC3, el cual es un integrado CMOS 4046BE, lazo realimentado en fase, pero en este circuito solo se utiliza la sección de VCO (oscilador controlado por tensión) del dispositivo. C6, R6, y P1 son los componentes de temporización y P1 se ajusta para equiparar la frecuencia central del transmisor VCO al del decodificador PLL en el circuito receptor. La frecuencia portadora, con los valores dados, se encuentra en alrededor de 100 kHz, y la desviación de pico puede alcanzar unos 30 kHz.

TR-1 opera como etapa separadora de seguidor emisivo a la salida del VCO, y la misma excita el LED D1, con una corriente de aproximadamente 40 mA. La forma de onda de salida de IC1 es cuadrada, y por lo tanto D1 es llevado al corte durante un 50% del tiempo. Esto da por resultado una corriente del LED promedio de unos 20 mA. Se ha utilizado un LED de alto brillo (específicamente con el código CQV51J) pues un LED ordinario proporcionará una pobre relación señal a ruido.

Con un LED de alto brillo se obtienen buenos resultados aun con una corrien-

te promedio de sólo 20 mA. Un LED infrarrojo podría proporcionar resultados superiores, puesto que muchos fototransistores poseen una respuesta cuyo pico se encuentra en la parte infrarroja del espectro, sin embargo, no todos los cables de fibra óptica transmiten eficientemente en esa parte del espectro. La utilización de un LED de alto brillo, probablemente constituya la opción más segura.

IC1 es la etapa de entrada, y provee una impedancia de entrada de unos 50 kΩ. El filtro pasabajos está realizado con IC2, el cual opera asimismo como etapa separadora de ganancia unitaria. El filtro es del tipo de tercer órden (18 dB por octava), el cual suministra al sistema un paso de banda de unos 15 kHz. Esto constituye un margen ligeramente inferior al rango pleno de audio, pero es suficiente para proveer una muy respetable calidad de audio (comparable a una radio de FM).



Fig. 2-12: Circuito del receptor.

El circuito del receptor se expone en la fig. 2-12. TR-2 es el fototransistor, y aunque se especifica un BPX25 para este componente, dispositivos similares, como el TIL81 o el BPY62 funcionarán igualmente bien. La resistencia de colector a emisor de TR-2 se conecta con R9 para formar un partidor a través de la fuente de alimentación. Los pulsos de luz causan una ligera disminución de la resistencia colector a emisor de TR-2 y eso genera pequeños pulsos negativos sobre el colector de TR-2. R8 provee a TR-2 una pequeña corriente de polarización en reposo que ayuda a la sensibilidad y al desempeño en frecuencias altas.

TR-3 está conectado como amplificador de alta ganancia de emisor común, y provee la primera etapa de amplificación. IC4 se conecta como amplificador inversor, con una ganancia de tensión de 20 dB, y constituye la segunda etapa de amplificación. La señal recortada a la salida de IC4 es compatible con la entrada de IC5, que es otro 4046 CMOS, lazo realimentado en fase. En este caso se lo utiliza como detector.

El puente entre las patas 3 y 4 conecta la salida del VCO a la entrada de los detectores de fase (sólo uno de los cuales es utilizado aquí). R19 y C12 forman el filtro pasabajos entre la salida del comparador de fase y la entrada de control del VCO, mientras que C11 y R17 son los componentes de temporización del VCO. R18 constituye la resistencia de carga para la etapa separadora seguidora de fuente incorporada a IC5, y es de aquí que se toma la señal de audio demodulada.

IC6 se utiliza como base del filtro pasabajos a la salida de la unidad, y es esencialmente el mismo filtro que se encuentra a la entrada del transmisor. El circuito puede manejar tensiones de señal de hasta 1 VRMS con una distorsión por debajo del 1%.

Aunque se espera exactamente una ganancia de tensión unitaria a través del sistema, de hecho resulta con una pérdida de algunos dB. Esto se debe a que la etapa separadora en IC5 posee una ganancia de tensión algo menor que la unidad.

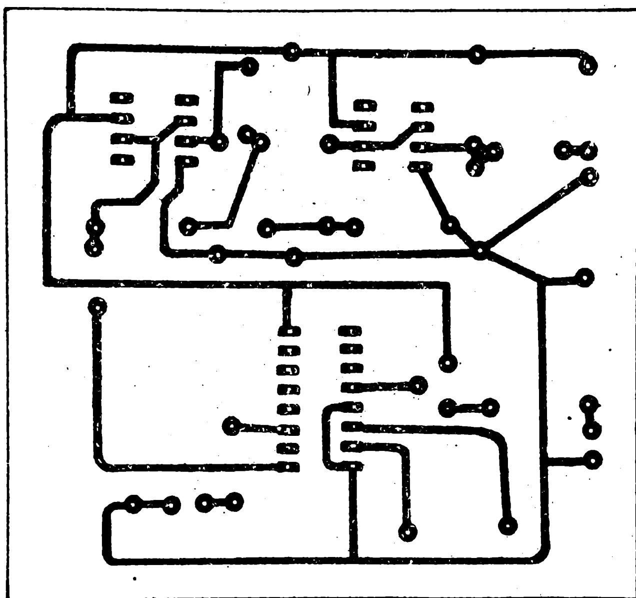


Fig. 2-13: Circuito impreso del emisor, lado cobre.

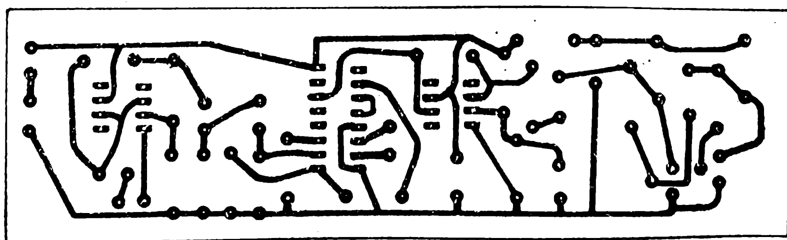


Fig. 2-14: Circuito impreso del receptor, lado cobre

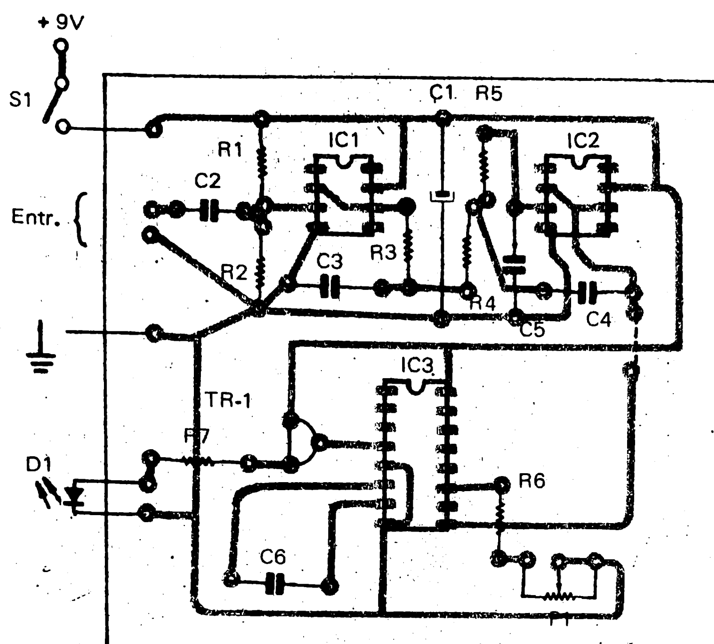


Fig. 2-15: Disposición de componentes sobre el impreso del emisor.

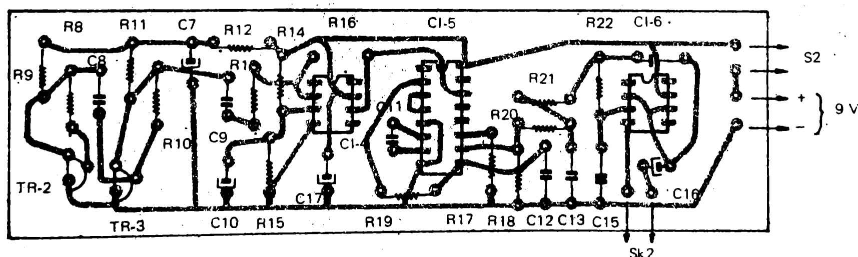


Fig. 2-16: Disposición de componentes sobre el impreso del receptor.

En las figs. 2-13 y 2-14 se muestran las plaquetas del lado cobre del transmisor y del receptor, respectivamente, mientras que las figuras 2-15 y 2-16 lo hacen del lado de los componentes. D1 y TR1 se montan horizontalmente en las plaquetas respectivas. Las plaquetas se montan luego sobre el piso de los gabinentes, de forma que D1 y TR1 estén posicionados frente a sendos orificios en el panel frontal. El tamaño del gabinete podría ser de 150 x 100 x 50 mm. Como no hay un equivalente de conector jack y plug para fibra óptica, debe improvisarse una conexión para la misma. Esta conexión se muestra en la figura 2-17.

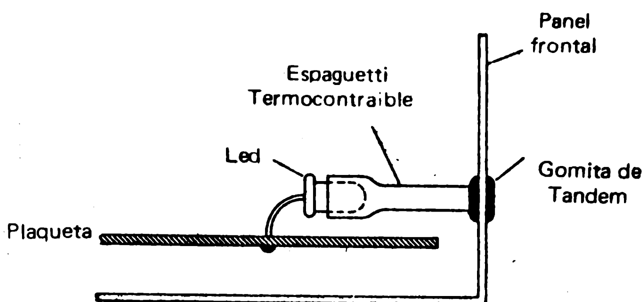


Fig. 2-17: Detalle del acoplamiento de la fibra óptica del diodo emisor.

Los agujeros del panel frontal se cubren con anillos de goma con un diámetro interno de unos 5 mm. Se utiliza un tramo de espaghetti termocontraíble para unir el dispositivo óptico con el anillo de goma. El mismo servirá para guiar el cable de fibra óptica para un óptimo acoplamiento luminoso.

La corriente de consumo es de aproximadamente 28 mA para el transmisor y 10 mA para el receptor. Esto permite la operación con pilas chicas o medianas, o batería de 9 V reforzada.

El cable de fibra óptica se provee a menudo con las terminaciones algo rugosas, cosa que no permite una buena transmisión de luz. Se puede obtener una transmisión más eficiente de la luz efectuando un corte en cada extremo mediante una cuchilla afilada de modelado, efectuando el corte en ángulo recto con el cable. Efectuando un corte conciso y claro, no hará falta pulir los extremos para obtener buenos resultados.

Un punto importante a tener en cuenta es que el cable de fibra óptica puede quebrarse, dejando de proveer buena transmisión de luz, si es doblado en curvas muy cerradas. El radio mínimo recomendable para la mayoría de los cables de filamento único, es de unos 20 mm.

Para obtener buenos resultados, el sistema debe utilizarse con un nivel de entrada de audio de unos 250 mV a 1 VRMS. Para la utilización con un nivel menor, como sería por ejemplo con un micrófono, debe intercalarse un preamplificador apropiado entre el mismo y el transmisor.

Para el ajuste completo del sistema, sólo es necesario actuar sobre P1. Si se posee un osciloscopio y un generador de audio, podrá utilizárselos para el ajuste correcto de P1, empleando los procedimientos habituales. Aún sin poseer instrumental, es posible ajustar P1 auditivamente, para obtener los mejores resultados sin distorsión en la señal de salida. El detector PLL posee un amplio rango de captura y por lo tanto el ajuste de P1 no es particularmente crítico.

Para aumentar la relación señal a ruido, puede reducirse R7 a un valor como 47Ω. Por supuesto, esto incrementará el consumo en el transmisor.

COMPONENTES

TRANSMISOR

Semiconductores
IC1; IC2 : 741 C
IC3 : 4046BE
TR1 : BC337/25
D1 : CQV51J; LED rojo de alto brillo

Resistores 1/4 W 5%
R1; R2 : 100 kΩ
R3; R4; R5 : 2 k7
P1 : preset 10 kΩ
R6 : 4 k7
R7 : 100Ω

Capacitores:
C1 : 470 μF 10V electrolítico
C2 : 470 nF policarbonato
C3 : 15 nF policarbonato
C4 : 22 nF policarbonato
C5 : 1nF policarbonato
C6 : 470 pF cer. plate

Varios
S1, interruptor a palanca; SK1, jack de audio; gabinete de 150 x 100 x 50 mm; circuito impreso; zócalo de integrado de 16 patas; dos zócalos de integrado de 8 patas; cable termocontraíble; gomita de tándem; etc.

RECEPTOR

Semiconductores
IC4; IC6 : CA3140E
IC5 : 4046BE
TR2 : BPX25 o similar
TR3 : BC547

Resistores 1/4 W 5%
R8 : 1 MΩ
R9 : 3k9
R10 : 1M8
R11; R18 : 4k7
R12 : 470 Ω
R13; R17; R19 : 10 kΩ

R14; R15	: 15 kΩ
R16	: 100 kΩ
R20; R22	: 2 k7

Capacitores

C7; C17	: 100 μF 10 V electrolítico
C8	: 100 nF poliester
C9	: 100 nF poliester
C10	: 2 μ2 63 V electrolítico
C11	: 470 pF cer. plate
C12	: 10 nF policarbonato
C13	: 15 nF policarbonato
C14	: 22 nF policarbonato
C15	: 1 nF policarbonato
C16	: 10 μF 25 V electrolítico

Varios

S2, interruptor a palanca; SK2 jack de audio 3,5 mm. Cable de fibra óptica unifilar; gabinete de 150 x 100 x 50 mm; circuito impreso; zócalo de integrado de 16 patas D.I.L.; dos zócalos de integrados de 8 patas D.I.L.; cable termocontraíble; gomita de tándem, etc.

GENERADOR PROGRAMABLE DE EFECTOS LUMINOSOS

Si el lector comparar cuidadosamente el proyecto que aparece en la figura 2-18 con el visto anteriormente en la figura 2-5, puede apreciar la sorprendente versatilidad y flexibilidad de diseño que ofrecen los integrados digitales: tanto en un caso como otro se utilizan los mismos componentes activos para diseños de diferente empleo.

Las posibilidades de aplicación de un circuito contador o de un sistema de compuertas son casi ilimitadas, dependiendo ellas de la capacidad e imaginación del diseñador.

En el presente caso se interconecta el contador CD4017 con dos compuertas contenidas en el CD4093 para conformar un sistema excitador de luces de efectos múltiples.

Debido a las características del contador es posible obtener un dispositivo de 10 canales con las consecuentes posibilidades de programación.

Se conecta cada una de las salidas del CD4017 a uno de los 10 excitadores mediante 10 conmutadores de 10 posiciones cada uno; entonces las posibilidades de selección del ritmo de encendido son enormes; por ejemplo se logran encendidos secuenciales de izquierda a derecha o viceversa, efectos de luces acercándose o alejándose entre sí, efectos de luces pulsantes, con destellos, encendido intercalado, simulando guiños, etc. etc. Queda a cargo del experimentador programar otras variantes y anotar la posición correspondiente a cada programación.

Al estudiar el circuito se aprecia la forma particular de excitar la entrada reloj del CD4017.

En la posición 1 del conmutador S11 la entrada reloj recibe los pulsos generados por el oscilador conformado por la compuerta N1 y sus elementos asociados, C1; P1; R11.

La frecuencia de este oscilador determina la velocidad de conteo y con ello la velocidad de la secuencia programada con las llaves S1 a S10.

En dicha posición, la entrada 12 de N1 permanece a potencial constante VCC (12V). En cambio; si se lleva el conmutador S11 a la posición 2, la entrada 12 de N1 recibirá un potencial variable a un ritmo impuesto por el otro oscilador formado por N2 y sus componentes periféricos.

En este caso se puede decir que la frecuencia de N1 está controlada por la frecuencia de N2.

El efecto visual sobre las luces, producto de esta combinación resulta muy particular, ya que aparecen *saltos* de posición e intensidad.

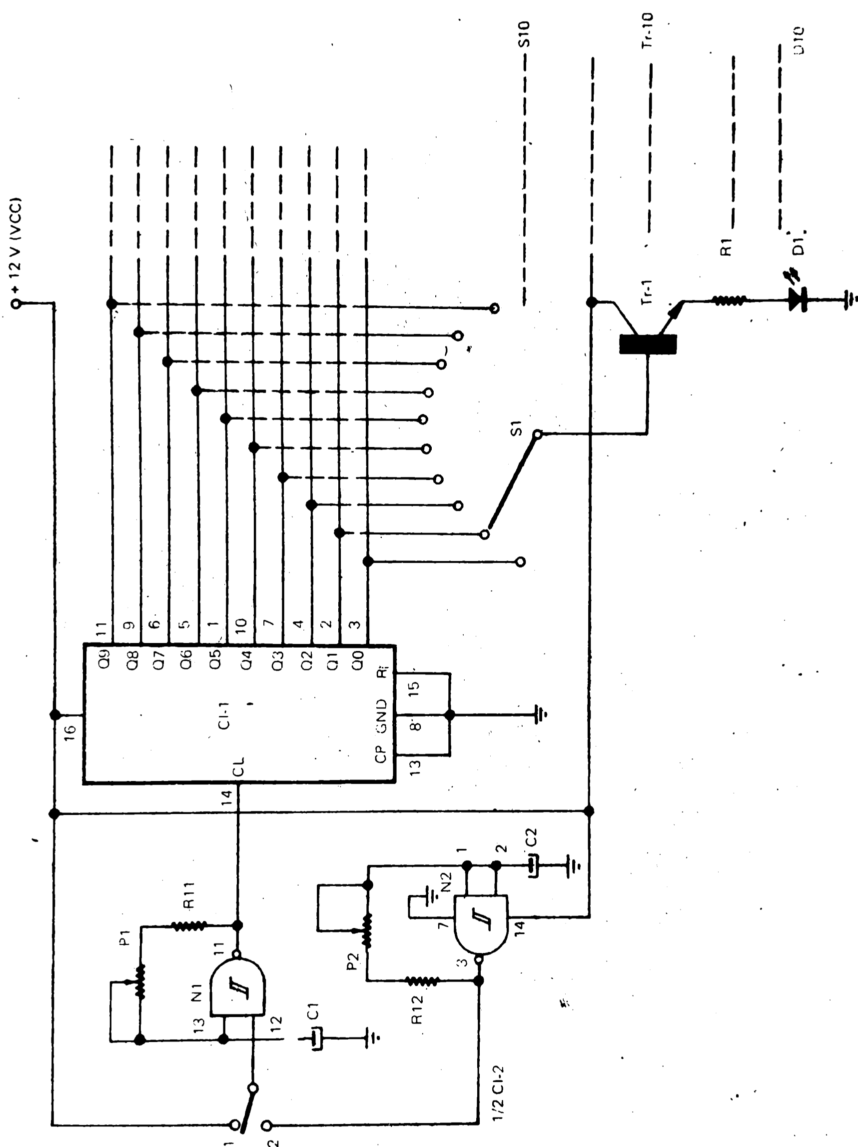


Fig. 2-18: Generador programable de efectos luminosos.

Estos efectos suelen ser muy apreciados por aquellos que se dedican al montaje de espectáculos audiorrítmicos y de iluminación en fiestas y demostraciones de toda especie.

El esquema está previsto para excitar diodos electroluminiscentes de distinto color para demostraciones didácticas. Obviamente, en el caso de tener que ali-

mentar lámparas y focos incandescentes de potencia es necesario modificar la excitación. Para ello puede usarse una variante con optoacopladores, tal como muestra la figura 2-19.

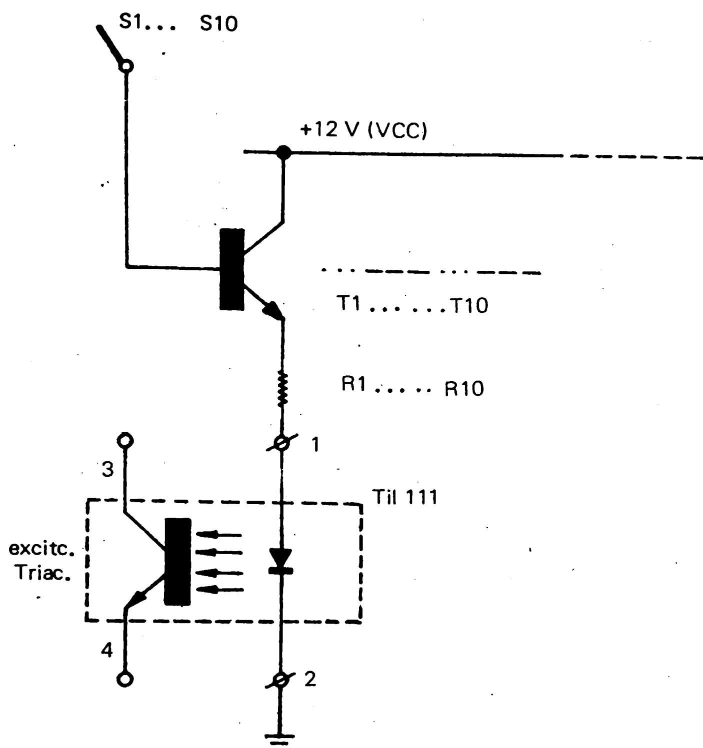


Fig. 2-19: Variante del circuito para utilizar optoacopladores y excitar lámparas de potencia conectadas a la red de 220 V.

De esta manera, el transistor del optoacoplador excitará la compuerta de un triac, dispositivo capaz de manejar potencias elevadas.

La ventaja de emplear optoacopladores en circuitos con triacs radica en la aislación proporcionada entre el sistema de control, alimentado con baja tensión continua y el sistema de luces, conectado directamente a la red de 220 V de alterna.

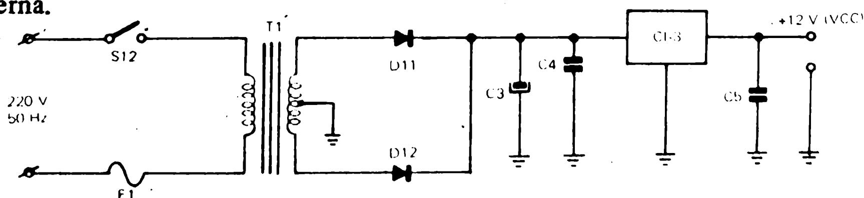


Fig. 2-20: Fuente de alimentación propuesta para el circuito de la fig. 2-18, válida también para otros desarrollos contenidos en esta obra.

La alimentación de 12 V mencionada puede obtenerse a partir de un regulador integrado como el de la figura 2-20. La misma fuente puede servir para el caso del generador analizado en la figura 2-5. La disposición de componentes se ve en la figura 2-21.

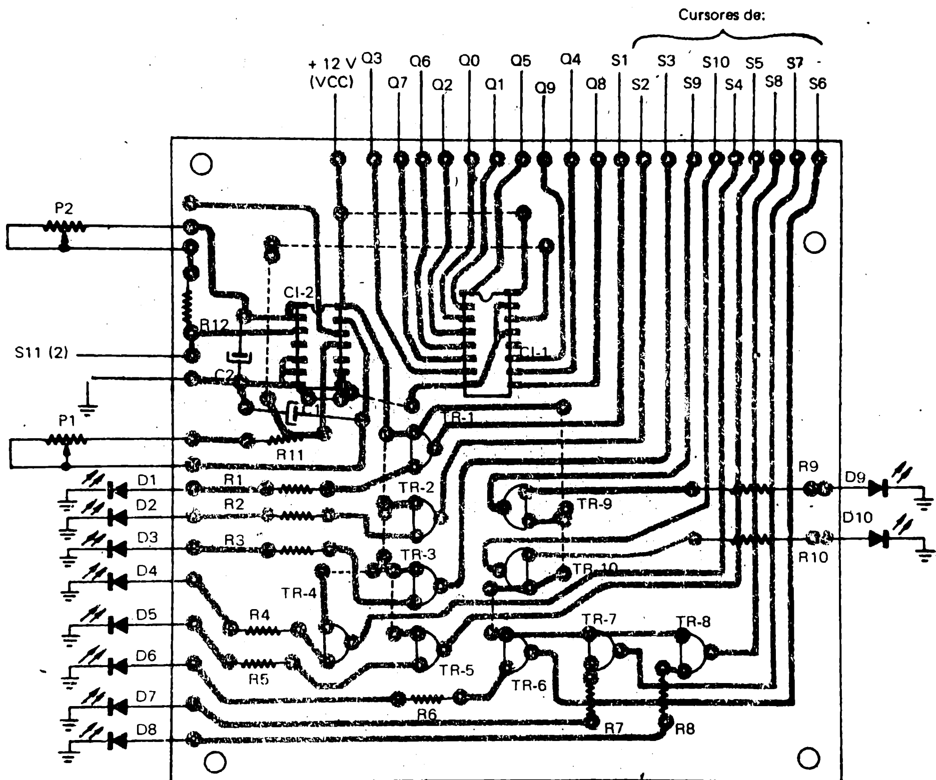


Fig. 2-21: Disposición de componentes para el circuito de la fig. 2-18 (excepto la fuente de alimentación). El impreso se observa por transparencia.

COMPONENTES

Semiconductores

CI-1 : CD4017
CI-2 : CD4093 (se utilizan dos compuertas)
D1 a D10 : diodos electroluminiscentes
TR-1 a TR-10: 2A238-B
D11-D12 : rectific. 50 VPI - 500 mA
CI-3 : regulador 12 V - 500 mA (tres terminales)
Opcional : optaacoplador tipo TIL 111

Resistores ± 5% 1/8 W

R1 a R10	: 390 Ω 1/4 W
R11	: 15 kΩ
R12	: 22 kΩ

Capacitores

C1	: 1 μF x 16 V electrol. o tant.
C2	: 10 μF x 16 V electrol. o tant.
C3	: 500 μF x 25 V electrol.
C4	: 330 nF x 33 V cerám. o poliester
C5	: 220 nF x 33 V ceram. o poliester

Varios

S1 a S10	: conmutadores 1 polo - 10 posiciones
S11	: conmutador inversor
S12	: llave interruptora 220 V.
F1	: fusible 0,1 A y portafusible
T1	: transf. alim. 220 V / 15 + 15 V (350 mA)
P1 - P2;	:pot. o preset 500 kΩ

Circuito impreso.

TEMPORIZADOR DE RETARDO PROGRAMABLE

El temporizador digital constituye un bloque estructural muy común en todo tipo de circuitos, y puede variar en complejidad desde los dispositivos simples como el 555 hasta los microprocesadores. Aquí vamos a echar mano de un interesante integrado realizado en tecnología P-MOS LSI (integración en gran escala).

Este dispositivo ofrece varias prestaciones de gran utilidad, que se irán describiendo a continuación. Nos referimos al integrado LS7210, que consiste esencialmente en un temporizador digital cuyo período puede ser programado mediante un código binario de 5 bits, suministrando un rango de períodos igual que 1 a 31 veces el intervalo de tiempo básico.

Dicho intervalo de tiempo en sí está determinado por el reloj, que puede ser generado internamente o introducido desde una fuente externa.

El rasgo que diferencia a este temporizador integrado del resto de dispositivos similares es que se lo puede hacer operar en cuatro modos diferentes: retardo en la activación, retardo en la desactivación, retardo doble, y monostable.

El diagrama en bloques se muestra en la fig. 2-22. El oscilador interno requiere solamente un capacitor y un resistor externos conectados al terminal 5, tal como se expone en el diagrama. Si se prefiere, se puede entrar con un reloj externo (por el terminal 6). Un nivel lógico *1* aplicado al terminal 4 (nivel alto, o circuito abierto, debido al resistor interno colgado de positivo) selecciona el reloj oscilador interno. El reloj seleccionado es luego dividido por 1023 y derivado al contador-temporizador programable.

Este bloque del circuito divide la señal de entrada por un valor cualquiera comprendido entre 1 y 31, dependiendo del código binario aplicado a los terminales 8 a 12. La salida del contador / temporizador es luego enganchada y utilizada para excitar la etapa de salida MOSFET.

Un rasgo inusual de este integrado es que la entrada de gatillado y las dos entradas de selección de modo están enganchadas por el reloj. En consecuencia, no existirá acción alguna cuando los terminales 1, 2 ó 3 cambien de estado, hasta que ocurra la siguiente transición negativa del reloj.

Un control lógico maestro acomoda todo para que se sucedan correctamente las secuencias de los eventos, y un circuito de reseteado al encender aseguran que todas las partes del integrado arranquen en *reset* cuando es aplicada la alimentación por vez primera.

La Tabla de la fig. 2-23 es una especie de tabla de verdad, que muestra los niveles lógicos que se deben aplicar a las entradas de selección A y B para lograr los diferentes modos de operación.

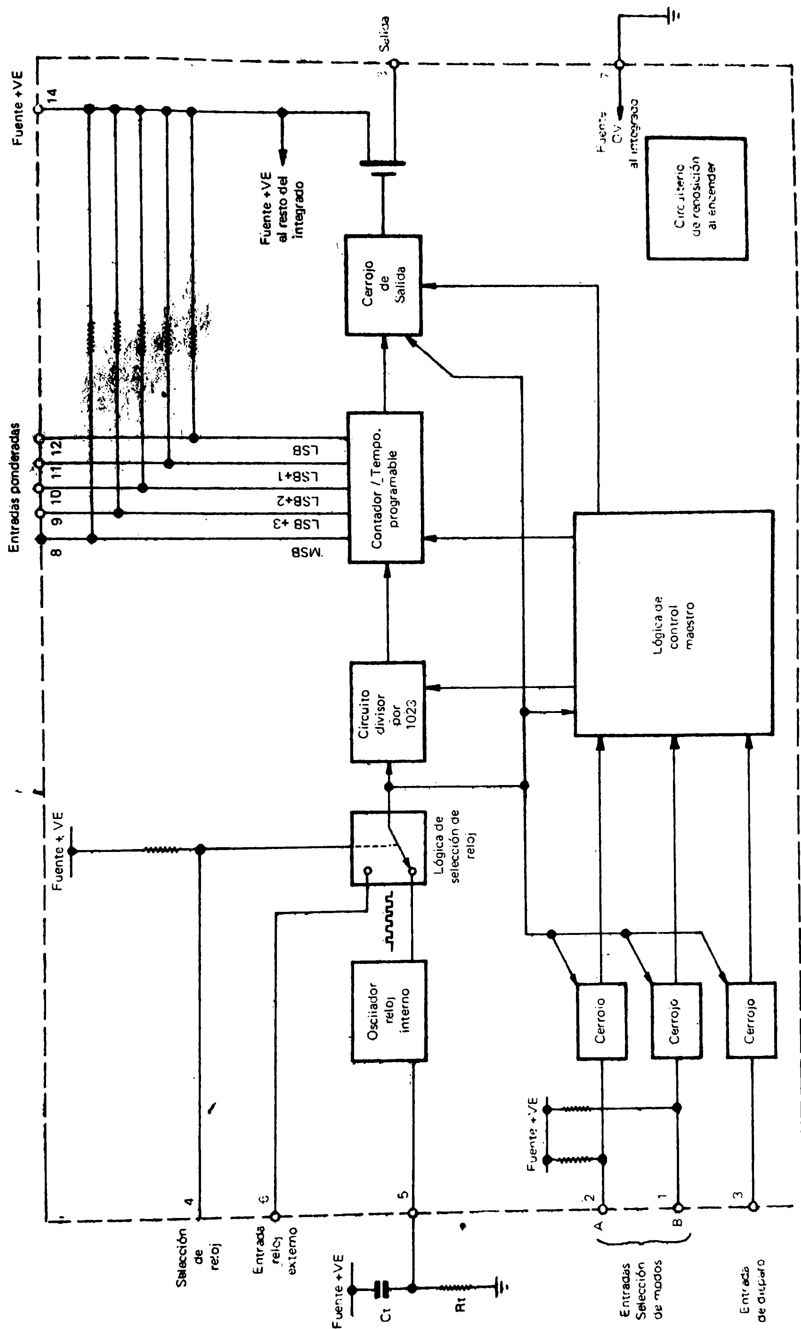


Fig. 2-22 Diagrama en bloques del LS7210.

A (pata 2)	B (pata 1)	Modo
0	0	Monostable
0	1	Retardo en activado
1	0	Retardo en desactivado
1	1	Retardo doble

Fig. 2-23: Tabla de Verdad de las entradas de selección de los modos de operación.

Una lógica *1* corresponde a un nivel alto, o de circuito abierto, debido al resistor interno de retorno a positivo. La fig. 32 muestra el efecto de estos diferentes modos de funcionamiento, sobre la salida. El modo de doble retardo provee retardo de tiempo en ambas ocasiones: activado y desactivado de la señal. Una vez activada, la salida permanece en ese estado durante todo el tiempo en que la entrada de gatillado permanece en lógica *o*. Una vez desactivada, la salida queda en cero durante todo el tiempo en que la entrada de gatillado permanece en lógica *1*.

Nótese que la salida está invertida con respecto a la entrada; una lógica *1* en la entrada de gatillado dará por resultado la presencia de una lógica *0*, con o sin retardo de tiempo, a la salida.

El modo de retardo en desactivado causa un retardo redisparable que ocurre antes que la salida quede en cero, cada vez que en ese momento ocurra una transición positiva en la entrada de disparo, mientras que los flancos negativos de disparo activan la salida inmediatamente.

Lo inverso de esto es verdadero para el modo de retardo en activado. En el modo monostable, el integrado trabaja como multivibrador monostable redisparable.

La salida se activa cada vez que exista una transición negativa en la entrada de disparo. Al final del retardo programado, la salida se desactiva automáticamente. Pero si aparece un flanco negativo de disparo antes que finalice el período de temporización, el retardo es reiniciado. Un flanco positivo no tiene efecto sobre la salida del retardo de tiempo. La fig. 2-24 muestra todas las variaciones de la salida en los modos de operación para la entrada de disparo.

Aunque los modos de operación del LS7210 pueden cambiarse tan a menudo como se requiera, alterando los estados lógicos de los terminales 1 y 2, NO debe realizárselo mientras esté en curso el período de temporización, pues de lo contrario ocurrirán efectos erróneos. Los resistores internos *colgados* de positivo, en las entradas del modo de selección, juntamente con otros similares dentro del integrado, son verdaderamente fuentes de corriente constante. Su resistencia es efectivamente 1, 6 MΩ con fuente de + 5 V ó 5 MΩ con fuente de + 15 V.

Las entradas *ponderadas*, es decir, las entradas binarias que determinan la relación divisoria programada, están activas con nivel bajo; una lógica *0* lleva a ese bit a actividad, y una lógica *1* o circuito abierto desactiva al bit. Por lo tanto, para un factor *ponderado* de 31 (el número mas alto posible) los terminales 8 a 12 deben estar en lógica *0*. El retardo exacto está dado por la fórmula:

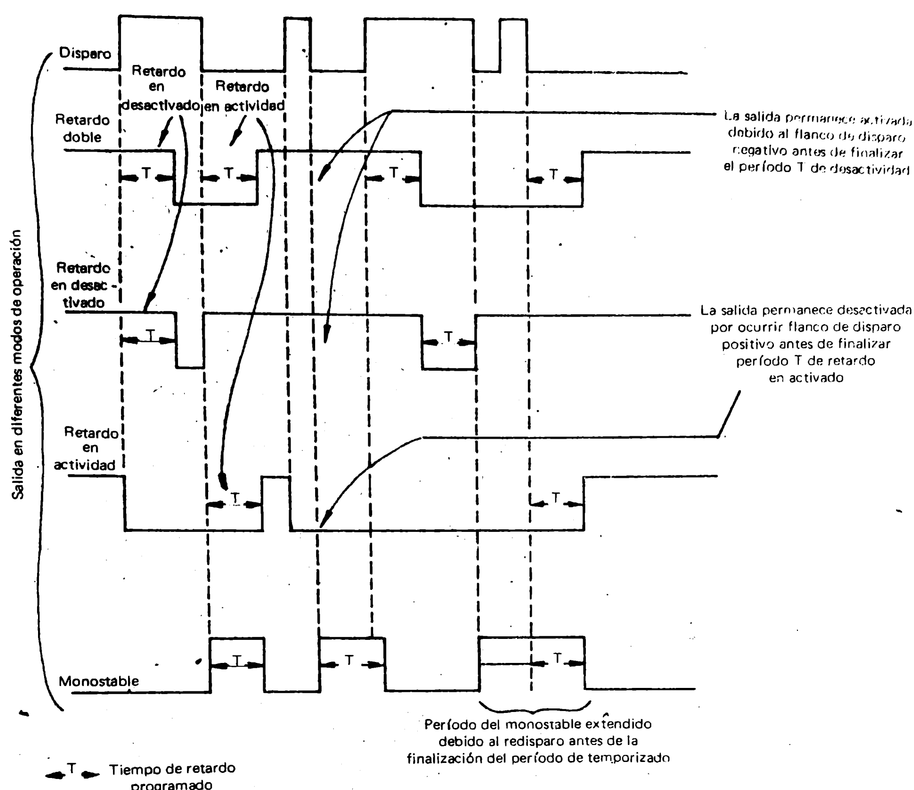


Fig. 2-24: Diagrama de tiempos de los cuatro modos de operación.

$$\text{Retardo} = \frac{1 + 1023\,N}{F}$$

donde N es el factor ponderado binario (como se lo definió) en los terminales 8 a 12 (8 es el bit más significativo, y 12 el menos significativo), y f es la frecuencia de reloj utilizada.

El rango de frecuencias del reloj interno se muestra en la tabla de la fig. 2-25. La tolerancia de todas estas frecuencias, teniendo en cuenta las variaciones de integrado a integrado es del ± 5%. En suma, este es un integrado de posibilidades muy interesantes, pero existen algunos problemas que es preciso sortear. Los más obvios de ellos son los niveles lógicos invertidos en las entradas binarias ponderadas. Cuando se utilice el reloj interno, el pulso de gatillado debe ser siempre más ancho que el período de reloj, o de lo contrario el funcionamiento no será correcto.

Resistor Rt	Capacitor Ct	FUENTE + 5V	+ 15 V
47 kΩ	200 pF 500 pF 1 nF 50 nF	79 kH2 37 kHz 22 kHz 610 Hz	85 kHz 36 kHz 20 kHz 475 Hz
470 kΩ	100 pF 200 pF 500 pF 1 nF 50 nF	15 kHz 9 kHz 4 kHz 2,4 kHz 63 Hz	16,5 kHz 9,5 kHz 4 kHz 2 kHz 47 Hz
2 MΩ	100 pF 200 pF 500 pF 1 nF 50 nF	4,2 kHz 2,5 kHz 1,1 kHz 670 Hz 17 Hz	5 kHz 2,8 kHz 1,1 kHz 610 Hz 14 Hz
10 MΩ	10 μF	0,02 Hz	0,013 Hz

Fig. 2-25: Rango de frecuencias del oscilador, válido para determinados componentes externos.

La salida está constituida por un FET de drenaje abierto, al cual se puede acoplar un resistor de carga adecuado para obtener un abanico de salida. La corriente de salida no es muy alta, dependiendo de la tensión de alimentación, (típico 1mA para 5 V y 8 mA para 15 V) por lo que hay que tener cuidado en no excederse de esos máximos. La fig. 2-26 muestra las distintas relaciones de tiempos cuando se utiliza un reloj externo.

Una aplicación típica del LS7210 se muestra en la fig. 2-27.

Se utiliza el reloj interno, por lo que no hace falta entrar por el terminal 6. Los terminales 1 y 2 se conectan a masa, a positivo o se mantienen flotantes, de acuerdo a lo requerido. El circuito integrado posee un rango amplio de alimentación, de + 4,75 V a + 15 V, y posee facilidades para entradas CMOS, PMOS y TTL (compatibilidad).

Los valores de Rt y Ct pueden variarse sobre un amplio rango, aunque debe tenerse en cuenta que el oscilador interno (terminal 5) puede drenar un máximo de 0,6 mA a 5 V de alimentación, y 2,7 mA a 15 V. Estos límites no deben excederse. Una gran ventaja de este circuito integrado lo constituye su habilidad para producir retardos que varían desde algunos microsegundos hasta varias horas. Pueden conectarse en cascada varias unidades para alcanzar retardos de prolongada duración o efectos de conmutación secuencial.

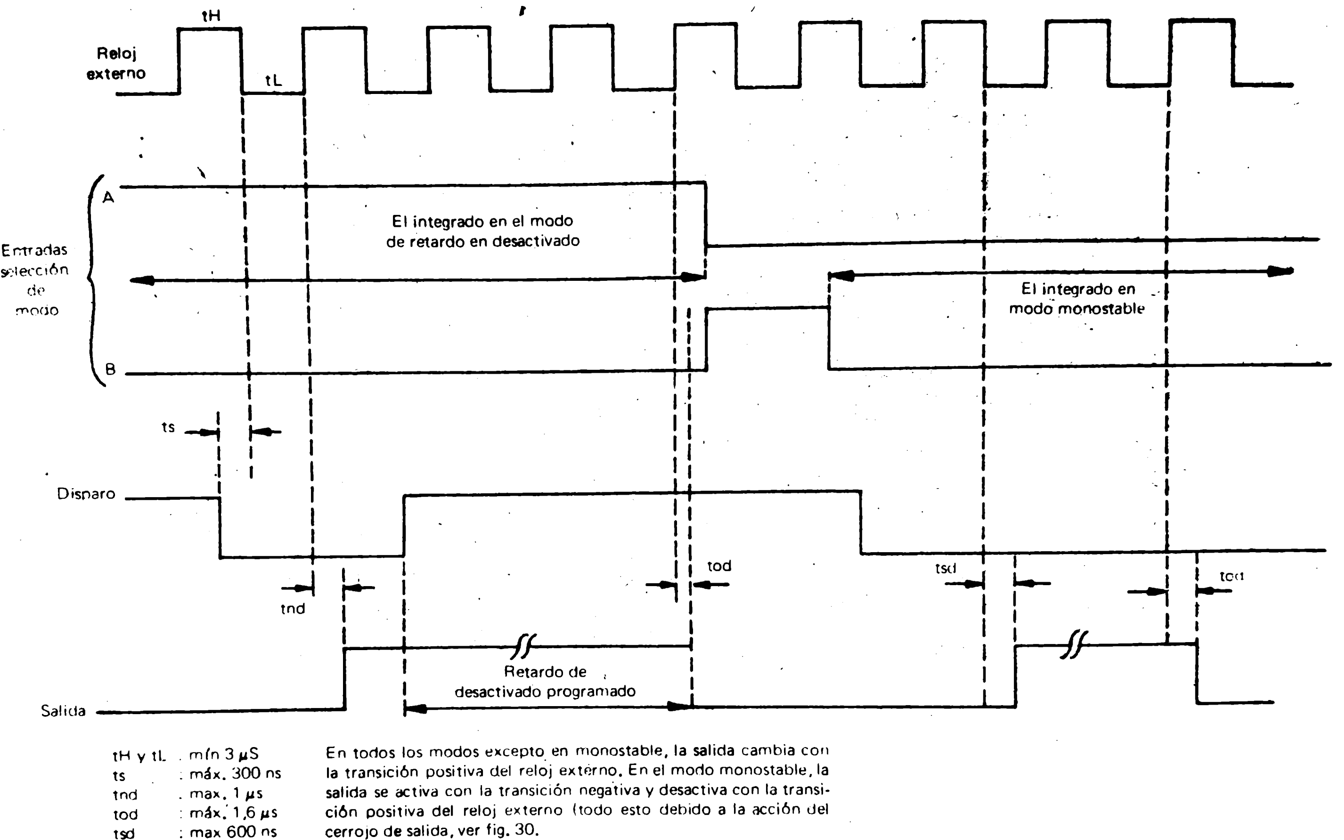


Fig. 2-26 Diagrama de tiempos con reloj externo.

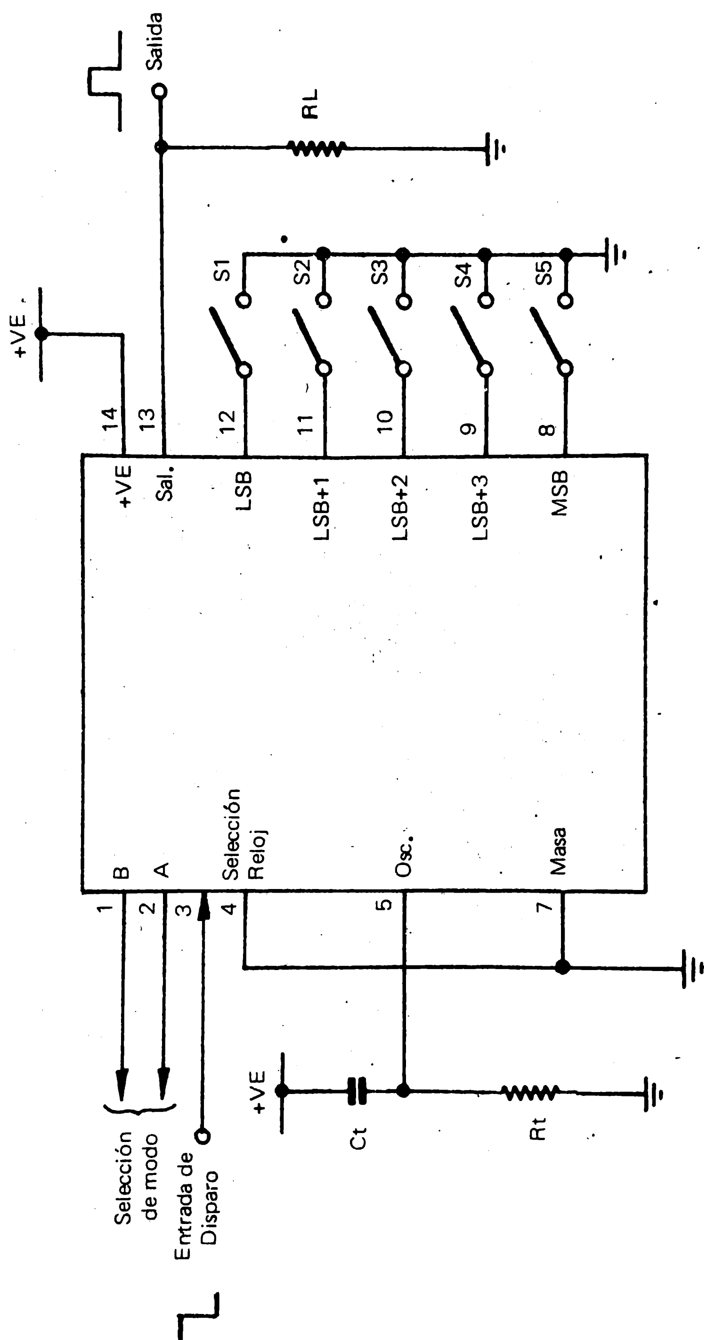


Fig. 2-27. Aplicación típica del LS 7210.

PRESENTADOR DE BARRAS

Se describe aquí un circuito muy versátil, cuyo funcionamiento depende de ciertas características de los dispositivos CMOS a menudo olvidadas cuando se diseñan circuitos lógicos. Aquí se lo utiliza sin embargo con ventajas, en el esquema mostrado, para producir una presentación del tipo barras, económica y programable. Si bien existen integrados especializados para cumplir la misma tarea, este es un ejemplo de cómo se pueden utilizar dispositivos comunes, para resolver una idea rápida y con pocos componentes. La única limitación es la máxima tensión utilizable, que es de 18 VCC, de acuerdo a los parámetros máximos dados por la hoja de especificaciones.

Aunque con suerte, este rango puede alcanzar los 24 V, pues a menudo se produce una avalancha de baja corriente entre los 25 y 35 V. A pesar de eso, un valor de tensión como 18 V resultará bastante bueno para proporcionar una presentación de barras de dieciocho pasos de 1 V (ó 36 de 1/2 V) o cualquier otra combinación elegida, siempre que la tensión de control no exceda el máximo del dispositivo.

El efecto utilizado aquí (no demasiado considerado, a menudo, tal como se ha indicado al principio), es la variación en el umbral de conmutación, resultado de la variación de VCC. El umbral normalmente se encuentra aproximadamente en un 45% de la tensión de la fuente y es constante a través de todo el rango de la misma. Entonces, si se mantienen las entradas del dispositivo a un nivel de referencia de tensión constante, y se varía VCC, cuando éste excede en un 55% a Vin, ocurrirá la transición de la salida. Este efecto no es de mucha utilidad en el extremo bajo del rango, pero por encima de un par de voltios produce un resultado aprovechable, causando el encendido de los LEDS.

El integrado 4049 que se utiliza aquí es capaz de drenar corriente suficiente para excitar los transistores. Entonces, tomando en cuenta la anterior exposición acerca de la variación de VCC y manteniendo constantes los niveles de entrada, el dispositivo héxuple inversor, con la adecuada polarización de entrada, constituye la base del excitador de barras a LED, el cual puede preajustarse para el rango deseado utilizando los divisores de potencial en los terminales de entrada.

El terminal VCC se transforma entonces en la entrada de *control* (Vcontr.).

Existen un par de desventajas, sin embargo, y estas son:

a) La excitación de la nueva *entrada* (terminal de VCC) debe ser capaz de proveer corriente adecuada (20 a 25 mA) para el dispositivo sin autolimitación.

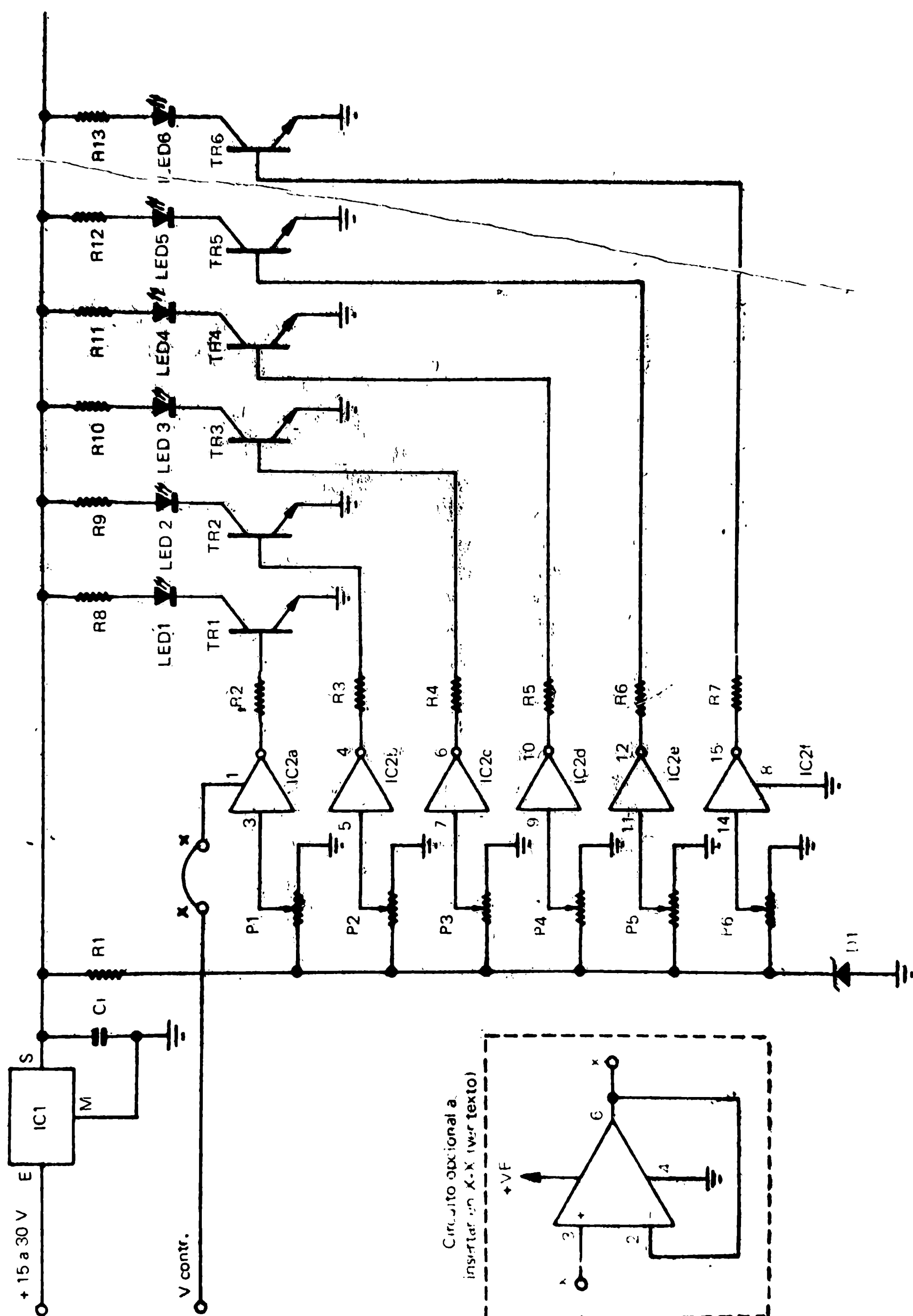


Fig. 2-28: **Circuito completo del presentador de barras.**

Para este propósito, puede resultar suficiente la inserción de un amplificador operacional como el 741 entre los puntos marcados *X-X*, levantando el puente (ver fig. 2-28). Esto, no obstante, introduce una limitación en cuanto a que *VCONTR.* (terminal 1) del 4049 solo podrá abarcar hasta la mitad de la tensión de alimentación del 741. A pesar de eso, también es posible obtener ganancia del circuito, de modo que con sólo algunos milivoltios puede excitarse el presentador.

b) Los LEDS sólo pueden iluminarse al estilo de los termómetros (barra continua) y no con un diagrama de punto desplazado.

Lo de más arriba constituyen solamente consideraciones menores si se tiene en cuenta el menor costo frente a los verdaderos excitadores de barras.

Se pueden disponer tres integrados (en forma apilada), con todos sus terminales N° 1 conectados en común, para obtener un rango de 18 pasos para una entrada máxima de 18 V (VCONT.). Las aplicaciones posibles son numerosas, y solo limitadas por la imaginación del diseñador.

El principio de operación ya ha sido expuesto y no hay mucho que agregar. La polarización de preajuste de las entradas se obtiene de una sencilla referencia realizada con un zéner de 9,1 V y 6 (o más) divisores de potencial.

A la salida de los hex-inversores existen resistores de 22 kΩ para limitar la corriente de base de los transistores. Los transistores también proveen la inversión requerida para excitar los LEDS, y de esa forma drenar la corriente desde la fuente principal (12 V), más bien que desde el terminal 1 del dispositivo inversor (VCONTR.), lo que constituiría una condición indeseable. La inclusión del operacional 741 es altamente recomendable, como se dijo anteriormente.

Para calibrar el presentador, simplemente se ingresará a VCONTR. con una fuente variable (medida) y se ajustarán los presets de polarización a los pasos requeridos. Cabe consignar que el orden consecutivo de iluminación de los LED avanzará desde el preset ajustado a la referencia más baja hacia el preset ajustado a la referencia más alta.

COMPONENTES

Semiconductores

IC1	: 7812 regulador
IC2	: CD4049 hex inversor
TR1-6	: BC548B transistor npn
D1	: BZY88 zéner 9V1
LED1-6	: LED emisor de luz rectangular

Resistores 1/4 W ± 5%

R1	: 330Ω
R2; R7	: 22 kΩ
R8; R13	: 470Ω
P1; P6	: Preset 200kΩ

Capacitores

C1	: 10 nF 50 V plate o cerámico disco.

DISPOSITIVO DE RIEGO AUTOMATICO

Podría pensarse que los circuitos C-MOS sólo tienen aplicación en los grandes computadores y sistemas de pulsos, pero ello no es así: también intervienen en la electrónica a nivel hogareño.

En el diseño que sigue se utilizan circuitos C-MOS para conformar un detector de humedad que finalmente permite el riego de plantas de interior. El sistema tiene una amplia variedad de aplicaciones, incluso en alarmas o indicadores de procesos industriales.

El esquema circuital se muestra en la figura 2-29. Analicemos su funcionamiento:

Una compuerta NOR montada como comparador pasa al estado bajo (0) cuando la tensión del divisor de entrada supera el valor de 4,2 V.

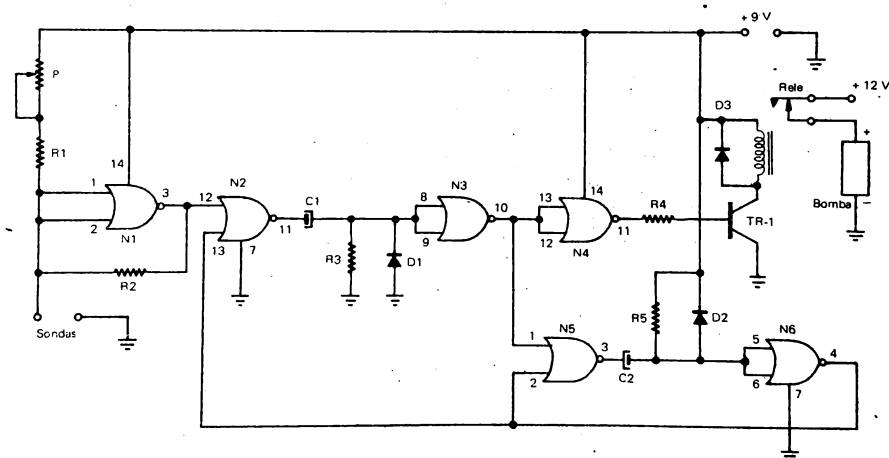


Fig. 2-29: Sistema de riego automático con compuertas C-MOS.

El divisor está constituido por el potenciómetro P, el resistor R1 y la resistencia eléctrica que ofrece la tierra en la cual se hallan colocadas las sondas 1 y 2.

Cuando el nivel del divisor supera 4,2 V el transistor TR-1 se satura durante cuatro segundos debido a la constante de tiempo introducida por C1 y R3. A su vez el multivibrador monostable formado por parte de CI-2, se dispara durante 90 segundos. Esta constante de tiempo queda determinada por los elementos C2 y R5.

El disparo del monostable bloquea la entrada 13 de la compuerta N2 inhibiendo toda acción de las sondas.

Cuando TR-1 se satura, activa al relevador que a su vez pone en funcionamiento la bomba eléctrica que envía agua de riego.

Durante el tiempo de reposo de 90 segundos el agua se filtra a través de la tierra. Si la resistencia eléctrica de ella no ha disminuido (es decir, si aún está demasiado seca), el ciclo recomienza, pero si la cantidad de agua ha sido suficiente, dicha resistencia baja notablemente, disminuyendo el valor de 4,2 V del divisor de entrada.

En este caso la salida de N1 –terminal N° 3– cambia de estado pasando al estado alto (1), terminando el ciclo de riego. El proceso se repetirá cuando la tierra se seque nuevamente y eleve la resistencia del divisor de entrada.

Ajustes de la placa armada (fig. 2-30)

La puesta a punto del circuito es muy sencilla y consta de dos etapas. En primer lugar se coloca provisoriamente un resistor de 100 kΩ en paralelo con R5 para disminuir la temporización de 90 segundos a sólo 10 segundos. Esto facilita la verificación, evitando una espera demasiado prolongada para el segundo paso de ajuste.

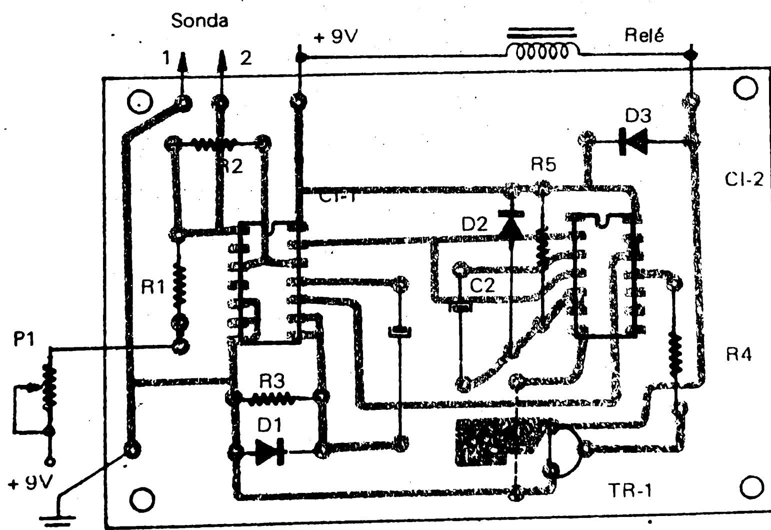


Fig. 2-30: Disposición de materiales para el circuito de la fig. 2-29 e impreso (visto por transparencia.

Luego se coloca un resistor de aproximadamente 20 kΩ en contacto con las sondas 1 y 2 y se gira el potenciómetro P1 hasta conseguir una activación del relevador comprendidas entre 4 y 6 segundos.

Quitando el resistor auxiliar de 100 kΩ y el de 20 kΩ e introduciendo las puntas de sonda en la tierra, se tiene listo el dispositivo de riego automático.

Como P1 determina la sensibilidad o nivel de disparo del dispositivo, el mismo puede también servir como detector de humedad o líquidos. La presencia o ausencia de humedad se detecta directamente a la salida de N1 y el cambio de estado pasa a activar un transistor, tiristor u otro elemento. En este caso no sería necesaria la temporización introducida por N5-N6.

El sistema requiere dos tensiones de alimentación distintas: un potencial de 9 V para la electrónica de control y otro de 12 V para operar la bomba eléctrica. Ambas tensiones se obtienen con tres pilas chatas de 4,5 V.

En realidad, el valor así aplicado a la bomba eléctrica es algo superior a 12V pero ello no afecta su funcionamiento. Las sondas pueden construirse con trozos de cobre estañado de 1,5 a 2 mm de diámetro y 5 cm de longitud.

Se ubicarán en la tierra, con una separación de aproximadamente 3 cm entre sí, asegurándose que no haya contacto directo entre ellas en ningún momento.

El agua puede alojarse en un recipiente de plásticos, canalizarla a la bomba y de allí a la tierra por medio de una manguera plástica delgada.

Verificar el funcionamiento y nivel de sensibilidad de acuerdo a los requerimientos de cada variedad de planta en función de la humedad de la tierra.

COMPONENTES

Semiconductores

CI-1; CI-2	: CD4001
TR-1	: 2A3724
D1; D2; D3	: 1N4148

Resistores ± 5% 1/8 W

R1	: 10 kΩ
R2	: 1 MΩ
R3	: 47 kΩ
R4	: 10 kΩ
R5	: 1 MΩ
P1	: potenc. lineal 50 kΩ

Capacitores

C1; C2	; 100 μF x 12 V electrolítico

Varios

Relevador 9 V - 100 mA y soporte de montaje
3 pilas chatas de 4,5 V
interruptor general
bomba eléctrica miniatura para 12 V
manguera plástica
elementos de montaje y fijación de plaqueta.
circuito impreso adecuado.

PODOMETRO ELECTRONICO

Un buen trote resulta beneficioso, tanto para el cuerpo como para la mente. Tener una idea del tramo recorrido resulta de importancia; por ello, para los amantes del aerobismo se diseña este sencillo podómetro, que es un aparato que mide la cantidad de trancos efectuados en una corrida y, mediante una simple conversión, permite tener idea del recorrido efectuado.

El aparato es enteramente portátil y está previsto alojarlo en un pequeño gabinete que se cuelga de la cintura.

El circuito utiliza un integrado contador de 4 dígitos con salida de excitación a 7 segmentos multiplexada, de National. Se trata del MM74C926. Se complementa el circuito con otros dos integrados, el MM74C90, que es un contador-divisor de décadas de 4 bits, y el TLC555, que es un oscilador-temporizador utilizado como monostable.

Otra pieza esencial del podómetro es el interruptor de mercurio, que actúa como péndulo. La marcha o carrera normal produce la oscilación del cuerpo hacia atrás y hacia adelante. Este movimiento bamboleante produce a su vez el balanceo del péndulo que abre y cierra el circuito alternadamente mediante el mercurio que se desplaza en el interior del bulbo. Cada pulso generado equivale a un tranco de la carrera. La cantidad de trancos que pueden registrarse es igual a 99.990, y teniendo en cuenta que en promedio, la longitud de los mismos es de unos ochenta centímetros a un metro diez (depende de la persona), la distancia máxima que se puede registrar es de unos noventa kilómetros.

Téngase en cuenta que el aparato descrito es un podómetro, es decir, mide la cantidad de pasos, y para traducir a distancia recorrida, habrá que conocer la medida del paso de la persona que lo utiliza, para lo cual lo más práctico es recorrer con el tranco normal una distancia conocida (por ej. 100 metros) y contar los trancos.

Refiriéndonos al diagrama circuital mostrado en la fig. 2-31, vemos que el circuito es gatillado mediante la llave de mercurio S1. Un terminal de la llave se conecta a positivo de la fuente, y el otro se conecta a la entrada de disparo de IC1, que es un integrado TLC555 conectado como monostable. La llave de mercurio contiene una pequeña cantidad de mercurio líquido que abre y cierra los contactos si se mece hacia atrás y hacia adelante. De tal forma, cada vez que se mueve el mercurio de la llave, se genera un pulso en el monostable. Los pulsos ingresan a IC2, que produce un pulso de salida por cada 10 de entrada.

De esta forma, el número de trancos realizados es igual al número visualizado en el presentador, multiplicado por diez. Para los que no son muy afectos a las carreras de largo aliento, podría obviarse IC2 e ingresar directamente a la pata 12 de IC3 desde el monostable, con lo que la máxima distancia registrable

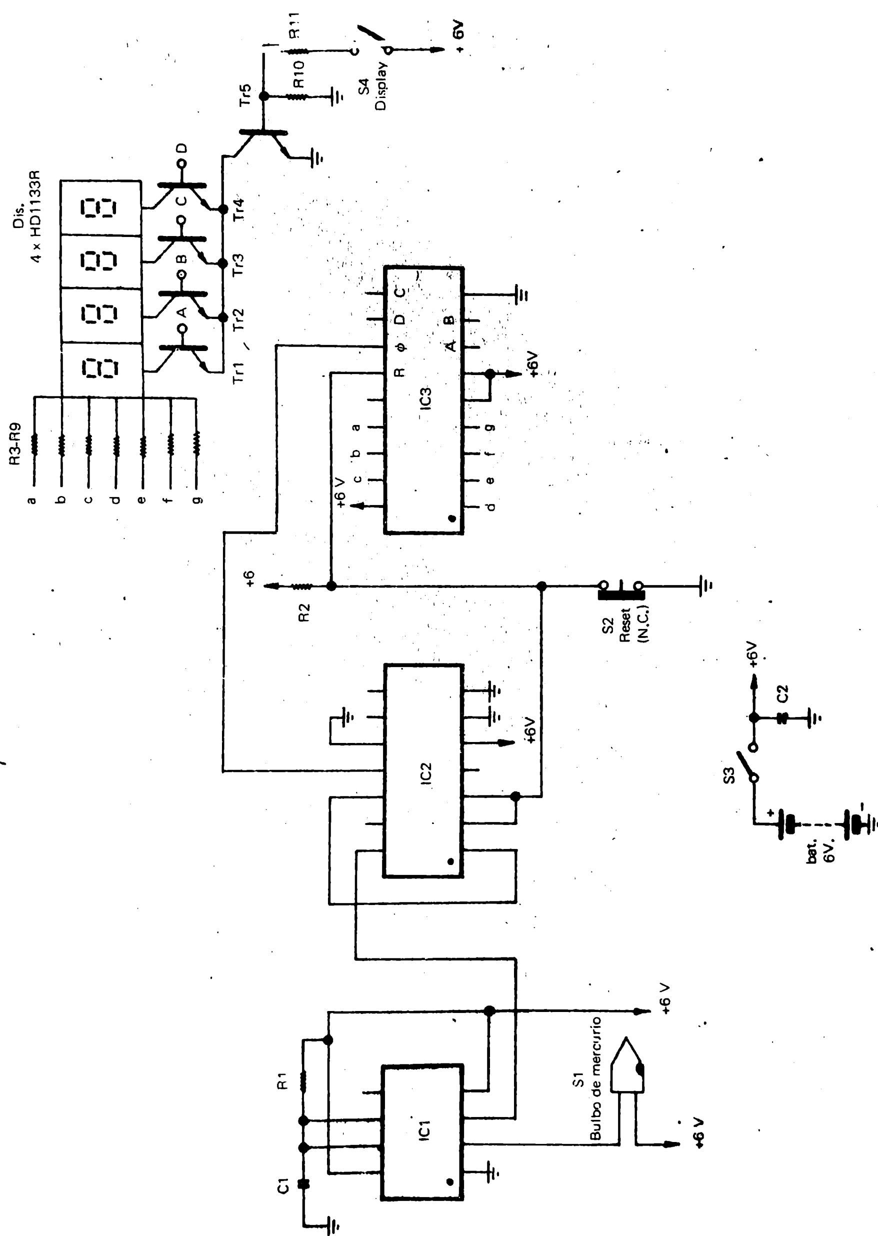


Fig. 2-31: Circuito del podómetro electrónico con circuitos C-MOS y presentador numérico digital.

sería de unos 10 km, y el presentador indicaría en forma directa la cantidad de trancos.

Un pulsador S2, normalmente cerrado, hace las veces de *reset,* llevando la cuenta a cero cada vez que se desee. Incluso, cada vez que se enciende el aparato, conviene realizar esa operación. La presentación numérica es del tipo multiplexada, lo que significa que el integrado IC3 barre sucesivamente cada dígito mediante las salidas marcadas A, B, C, D, a través de un oscilador interno de una frecuencia lo suficientemente alta como para que el ojo no lo perciba.

Los 7 segmentos de cada dígito, marcados a, b, c, d, e, f, g, están cada uno en paralelo con el correspondiente a los restantes. De esta manera, se simplifica mucho el cableado de los presentadores. Así, con 4 dígitos, hacen falta sólo 11 conductores, mientras que sin multiplexar, harían falta 32.

Se ha agregado una llave S4, que corta los presentadores numéricos cuando no haga falta visualizarlos, para ahorrar consumo.

La alimentación se realizará con cuatro pilas de 1,5 V del tamaño chico, pilas que ubicarán en un portapilas compacto. La llave de encendido está marcada S3.

El conjunto se ubicará en un gabinete apropiado y se colgará de la cintura.

La fig. 2-32 muestra el conexionado de cada presentador HD1133R de cátodo común.

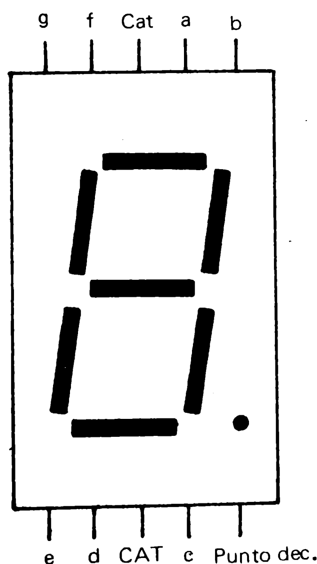


Fig. 2-32: Esquema de conexiones correspondientes al presentador HD 1133 R.

COMPONENTES

Semiconductores

IC1	: TLC555 integrado temporizador
IC2	: MM74C90 divisor-contador de décadas
IC3	: MM74C926
Tr1 a Tr5	: BC337 transistor NPN

Resistores 1/8 W ± 5%

R1	: 270 kΩ
R2	: 47 kΩ
R3; R9	; 47 Ω
R10	: 4 k7
R11	: 1kΩ

Capacitores

C1; C2	: 100 nF disco

Varios

S1	: Bulbo de mercurio (Radio Schack 275-027)
S2	: Pulsador miniatura N.C.
S3; S4	: Interruptor a palanca miniatura o deslizante
BAT	: 4 pilas 1,5 V chicas
DIS	: HD1133 R presentador cátodo común

Circuito impreso, gabinete, etc.

HERRAMIENTA DE CORTE PARA POLIESTIRENO EXPANDIDO

La simple lectura del anterior título no parece tener relación alguna con el tema de la tecnología C-MOS.

Sin embargo, el presente desarrollo es otra prueba de la versatilidad de estos componentes: se trata de un sistema de caldeo controlado electrónicamente.

Es común y práctico cortar poliestireno expandido con la ayuda de un filamento metálico caliente. Colocando este filamento en reemplazo de una sierra pequeña de calar se obtiene una útil herramienta para este tipo de cortes.

Mantener el filamento a la temperatura adecuda es función del circuito que se describe a continuación y cuyo esquema aparece en la figura 2-33.

En la parte superior del circuito se muestra el transformador separador-reductor de tensión. Este componente es necesario para aislar el filamento del potencial de línea por razones de seguridad.

Para el trabajo de corte y calado de placas o cuerpos de poliestireno expandido, resulta útil disponer de distintas temperaturas sobre el filamento. Lógicamente esto se podría obtener conectando el alambre sobre el secundario del transformador por medio de un potenciómetro, pero a fin de limitar al máximo las pérdidas de energía conviene utilizar un regulador electrónico.

Se emplea el principio de control de período. Este proceso consiste en bloquear por intervalos la corriente, con lo que se controla la potencia desarrollada en la carga– el alambre de corte–.

Un triac se encarga de controlar el establecimiento de los períodos de conducción de corriente.

El alambre es alimentado en alterna a través del secundario del transformador.

También, esta señal alterna de 50 Hz se convierte en onda cuadrada por medio de las compuertas NAND N1 y N2, contenidas en el integrado C-MOS CD 4093-B.

Se eligen los valores de R2 y R3 de forma tal que la fase de la señal de onda cuadrada coincida casi exactamente con la fase de la señal alterna senoidal provista por el transformador.

La señal cuadrada pasa por una red diferenciadora (C2-R4) que la transforma en cortos pulsos positivos y negativos. Estos últimos son eliminados por la acción del diodo de fijación integrado en la compuerta N3. Sobre este último elemento se construye un temporizador que determina la relación entre los tiempos de conducción y bloqueo del triac. Esta relación depende de la constante de tiempo introducida por C3-P1 y puede variarse con el potenciómetro mencionado.

El capacitor C3 se carga a través de P1 y se descarga en la salida de N3 sobre R5 y D3.

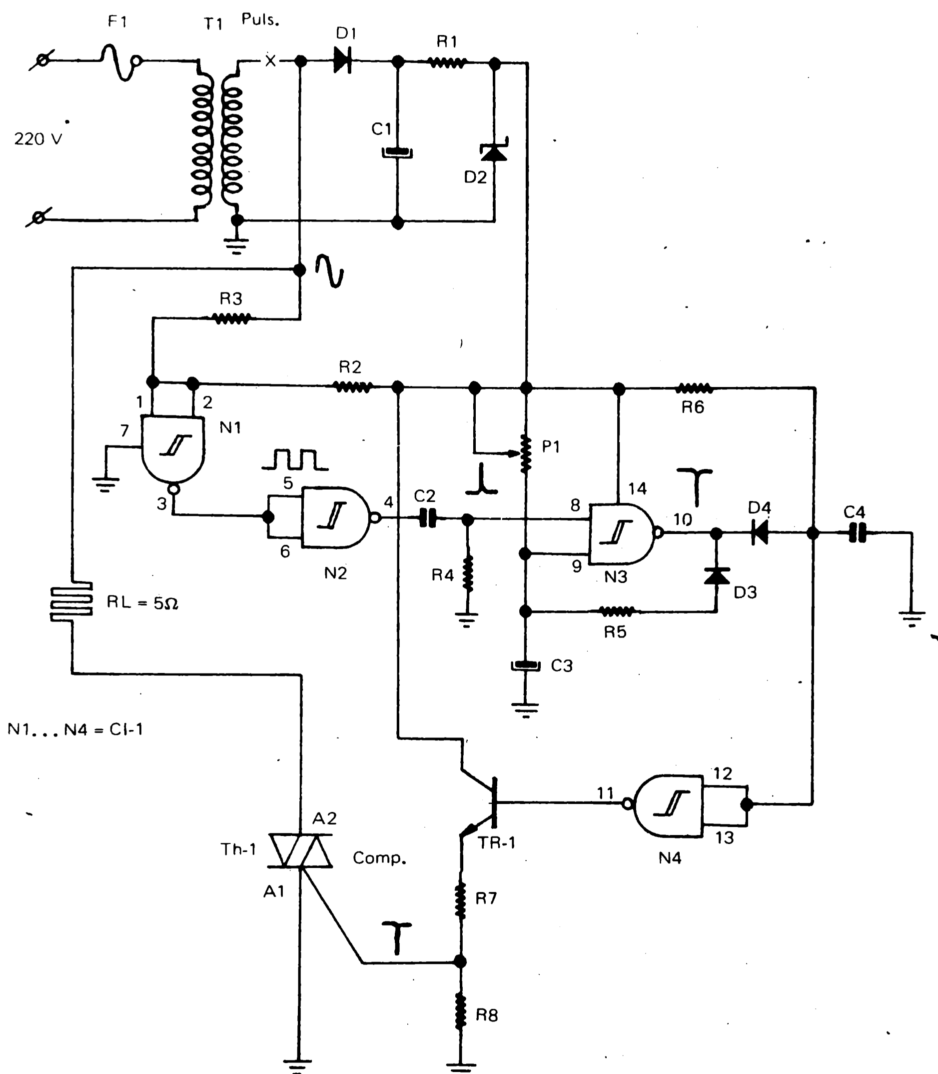


Fig. 2-33: Circuito de control para la herramienta de corte de poliestireno expandido. Se trata básicamente de un sistema de calentamiento regulable de un alambre resistivo. (RL).

El fenómeno de carga y descarga tiene lugar entre los umbrales de disparo inferior y superior del trigger de Schmitt formado por N3.

En definitiva se logra que la tensión sobre C3 varíe entre un nivel lógico alto (1) y un nivel lógico bajo (0). Cuando existe un nivel lógico alto, N3 se activa al recibir un pulso positivo desde N2, produciendo un pulso negativo sobre el diodo D4.

El pulso negativo de corta duración pasa por N4 y TR-1 que excita la conducción del triac, al principio de cada período.

La red R6-C4 hace que el triac se mantenga conductor durante un período completo.

Los pulsos negativos disponibles en la salida de N3 hacen que, transcurrido un cierto período de tiempo fijado por la posición de P1, la tensión en bornes de C3 caiga hasta el umbral de disparo inferior; a partir de este momento la compuerta N3 no reacciona frente a los pulsos que le siguen llegando desde N2 y su salida se mantiene en el estado lógico alto. El triac no conduce y C3 no se descarga a través de R5-D3.

Transcurrido el tiempo fijado con P1, la tensión sobre C3 vuelve a pasar al nivel lógico alto y el proceso vuelve a iniciarse.

De esta forma, modificando la posición del cursor de P1 se varía la relación entre los tiempos de conducción y bloqueo del traic; con ello se controla la potencia media entregada al filamento y esto controla el factor buscado: la temperatura de trabajo.

El filamento de corte se fabrica a partir de un alambre para resistencias, tipo constantán o nichrome, cuya resistencia nominal debe ser de aproximadamente 5Ω.

El impreso se ve por transparencia, en la figura 2-34.

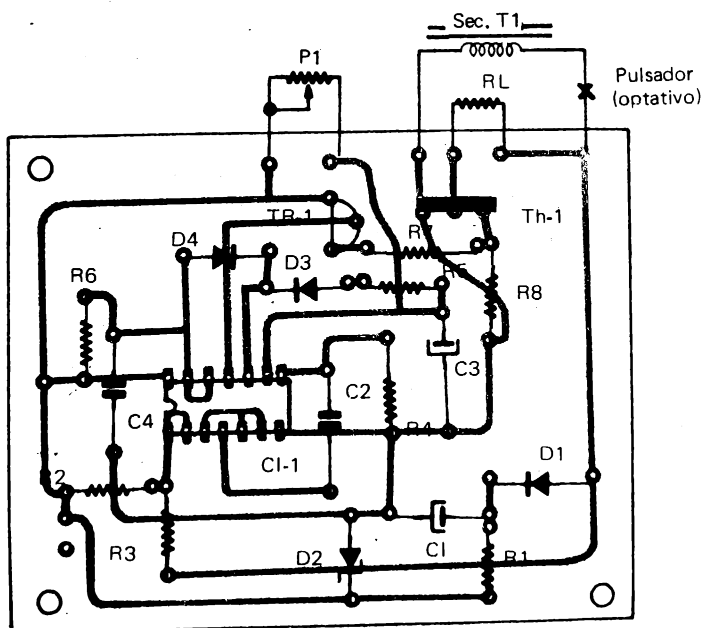


Fig. 2-34: Disposición de componentes para el circuito de la fig. 2-33 e impreso (visto por transparencia).

COMPONENTES:

Semiconductores

CI-1 : CD4093-B
TR-1 : 2A238-B
TRIAC : TIC 206A
D1 : rectif. 100 V PI-1A
D2 : Zener 4,7 V - 1 W
D3; D4 : 1N4148

Resistores ± 5% - 1/8 W

R1 : 150Ω -1/4 W
R2 : 120 kΩ
R3 : 270 kΩ
R4 : 27 kΩ
R5 : 10 kΩ
R6 : 120 kΩ
R7 : 390Ω
R8 : 1 kΩ

Capacitores

C1 : 100μF x 35 V electrol.
C2 : 100 nF cerám.
C3 : 100 μF x 16 V electrol.
C4 : 100 nF cerám.

Varios

P1 : potenc. lineal 1 MΩ
T1 : transf. 220 V/12 V ef. 2,5 A
F1 : fusible 0,5A y portafusible.
Circuito impreso adecuado.
RL : carga (alambre resist. 5Ω)
arco de montaje (tipo sierra de calar)
pulsador NA para conmutar el arranque de la herramienta.

CERRADURA OPTOELECTRONICA CODIFICADA

La codificación y decodificación de la información tiene múltiples aplicaciones, siendo una de las más comunes en sistemas de control, donde una unidad debe controlar a otra determinada, sin afectar a otras unidades no deseadas, que están dentro de su campo de acción. En estas circunstancias, la unidad receptora debe identificar la señal válida transmitida y responder a ella, mientras que debe mantenerse inoperante frente a señales similares proveniente de otras fuentes.

El integrado MM53200N de National provee una interesante solución a estos problemas.

El MM53200N es un dispositivo MOS de integración en gran escala, digital, de 18 patas, que trabaja en ambos modos: receptor y transmisor. El principio de funcionamiento se basa en la modulación por codificación de impulsos (PCM) como se muestra en la fig. 2-35. La forma de onda básica se ilustra en la fig. 2-35 a, donde cada *paquete* consiste en un tren de pulsos de 11,52 milisegundos de duración (todos los tiempos están referidos a la frecuencia nominal de 100 kHz del reloj).

Entre cada tren de pulsos hay un pulso de reset, también de 11,52 ms de longitud. Cada código de pulsos consiste en 12 *bits* individuales; las fig. 2-35 b y 2-35c muestran la estructura de los mismos. Para cada bit, una duración corta de la parte negativa del pulso corresponde a lógica 0 (cero), y una duración larga de la parte negativa del pulso corresponde a lógica 1 (uno).

Como hay 12 *bits* en cada código, se deduce que existen 2^{12}, o sea 4096, diferentes combinaciones. Cuando se utiliza el integrado como decodificador, sólo responde a uno de esos códigos, por lo que cada codificador puede controlar hasta 4096 decodificadores sin interacción.

Los dos modos diferentes de operación del integrado (codificador y decodificador) se muestran en las figuras 2-36 y 2-37.

Todas las conexiones son idénticas; excepto para el modo de selección, pata 15 (nivel alto: codifica, es decir, transmite la señal, nivel bajo: decodifica, es decir, recibe la señal), la entrada de recepción, pata 16 (conectada a masa para transmisión), y la pata 17, que es la salida de pulsos en el modo transmisión, o la indicación de que el código recibido es válido, en el modo recepción, mediante un pulso negativo.

Las entradas de selección de bits poseen resistores internos de *pull-up* a la fuente de positivo, por lo que la llave abierta corresponde a lógica *1*, y la llave cerrada a lógica *0*. En el modo transmisión, estas entradas *de selección de bits* se barren secuencialmente, para producir las formas de onda de la fig. 2-35.

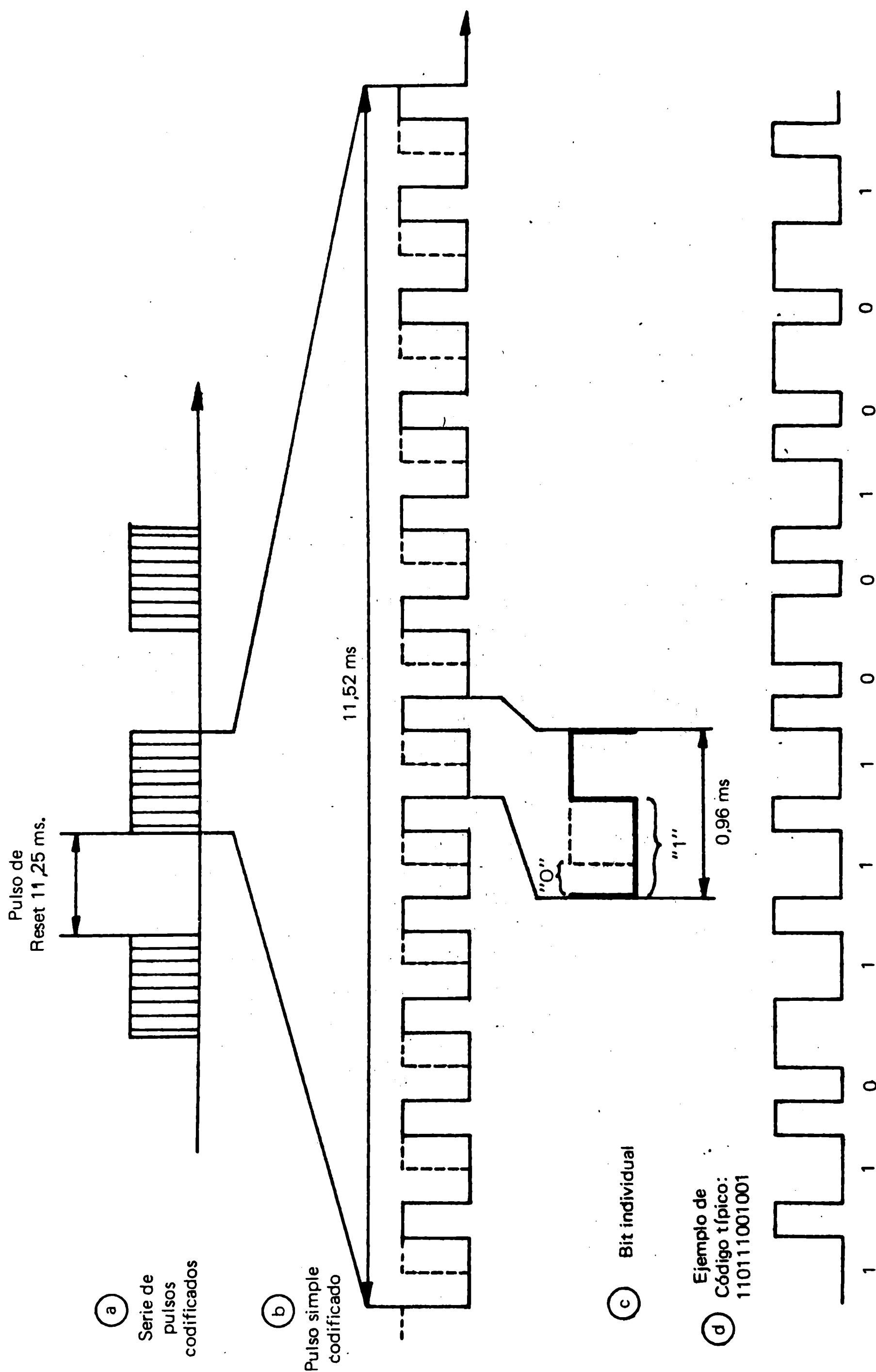


Fig. 2-35: Formas de onda del pulso codificado.

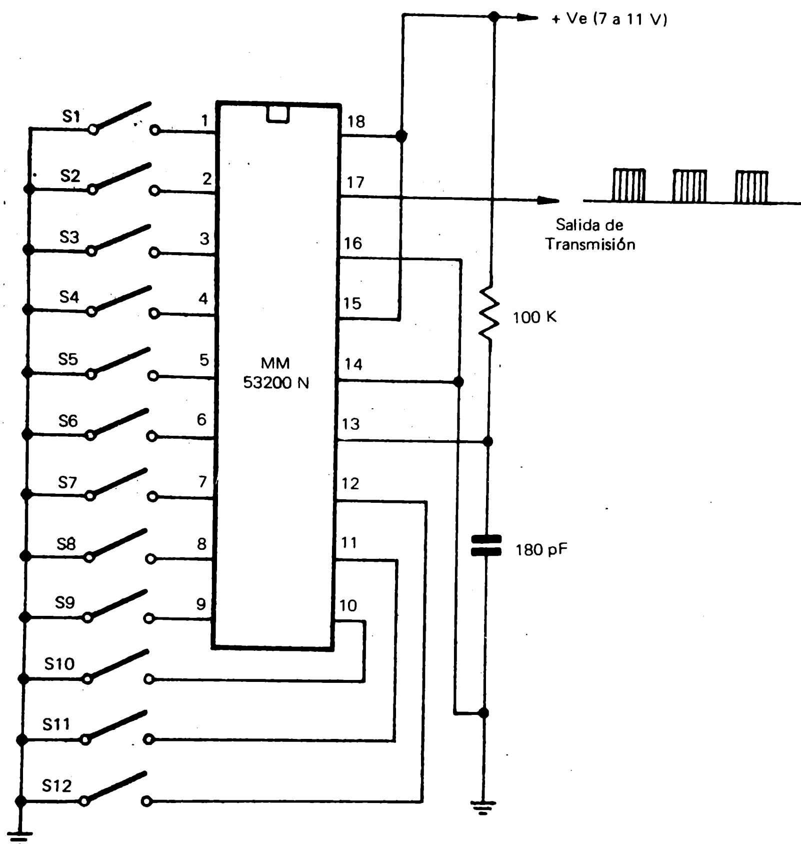


Fig. 2-36: El Integrado MM 53200N en modo de transmisión.

Como no hay una entrada de habilitación, la transmisión de los códigos continúa en tanto queda aplicada la alimentación, aunque la entrada de *modo de selección* (pata 15) puede utilizarse efectivamente para parar la transmisión de los códigos si es necesario.

En el modo recepción, la señal de entrada es derivada a un circuito *Schmitt trigger*, para ayudar a *limpiar* la forma de onda, y luego es comparada con el código programado localmente mediante las llaves S1 a S2, de manera secuencial.

Si hay un error entre el código de entrada comparado con el código programado localmente, el sistema se resetea y la comparación se realiza de nuevo con el siguiente pulso.

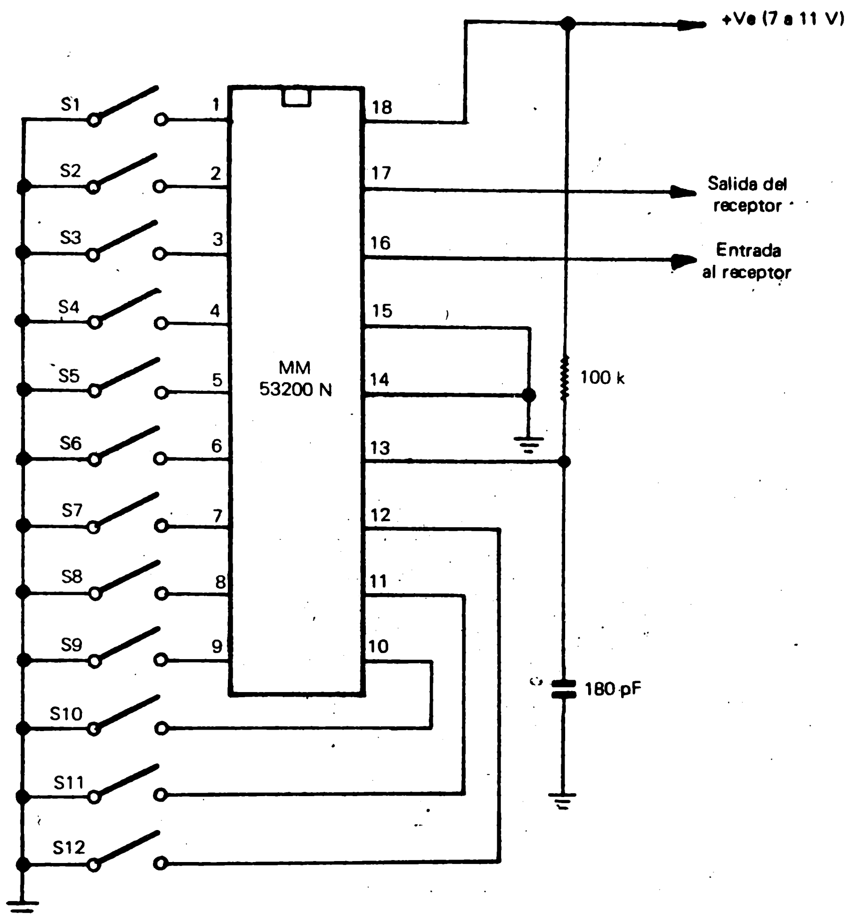


Fig. 2-37: El Integrado MM 53200 N en modo de recepción.

Si todos los 12 bits del código se reciben correctamente, se genera una señal interna de *validación,* que *aclara* al temporizador de 64 ms y envía pulsos de reloj a un contador de 3 etapas.

El contador de 3 etapas se utiliza para contabilizar el número de pulsos *válidos,* y después de 4 pulsos –por ejemplo, de 4 códigos correctos– la salida de recepción va a nivel bajo, es decir a lógica *cero.* Los cuatro códigos de validación deben ser recibidos dentro de los 64 ms o de lo contrario no se producirá la validación. El proceso se detendrá y comenzará nuevamente.

La aplicación que a continuación se describe consiste en una cerradura de seguridad que consiste en una *llave* portable y una *cerradura* fija, que puede ligarse con un sistema de alarma casera, alarma para automóvil, apertura de por-

tón de garaje y aplicaciones similares. El medio de enlace elegido es por infrarrojo. El rango cubierto en distancia, entre la *llave* y el sensor óptico de la cerradura es de hasta un metro, dependiendo de las condiciones de luz ambiental. Esto resulta ideal para trabar o destrabar la alarma a través de la ventana o parabrisas, haciendo la cerradura menos vulnerable a manipuleos.

El circuito de la llave optoacoplada se muestra en la fig. 2-38. IC1 se utiliza en el modo transmisión tal como se ha descrito. TR-1; R2 y R3 se utilizan para no sobrecargar la salida del integrado. Los emisores infrarrojos, D2 y D3, son excitados por el par darlington de alta ganancia TR-3 y TR-4. TR-2 provee una función inversora entre TR-1 y TR-3, por lo cual los LED se cortan cuando la salida de IC1 está a nivel bajo, y entran en conducción cuando la salida de IC1 está a nivel alto. Esto asegura que los emisores conduzcan durante el menor tiempo posible, disminuyendo el consumo de potencia. D1 protege contra la inversión de polaridad de la batería, y C2-C3 proveen un filtrado adecuado.

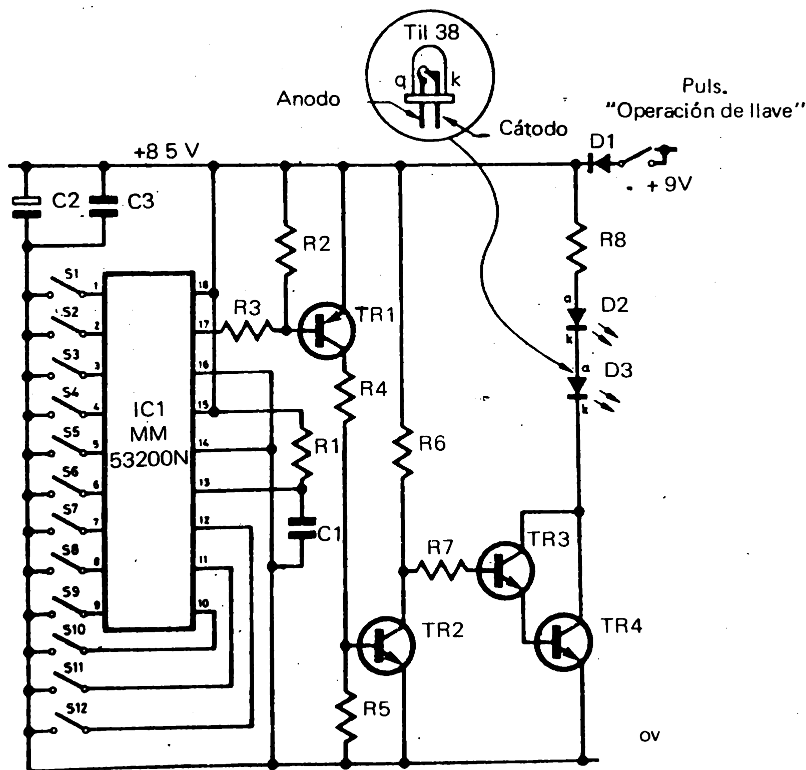


Fig. 2-38: Circuito de la "llave" optoacoplada.

El diagrama del receptor se muestra en la fig. 2-39. D3 es un diodo detector infrarrojo polarizado inversamente mediante R3. La corriente de fuga a través del diodo depende de la radiación infrarroja que incide sobre él.

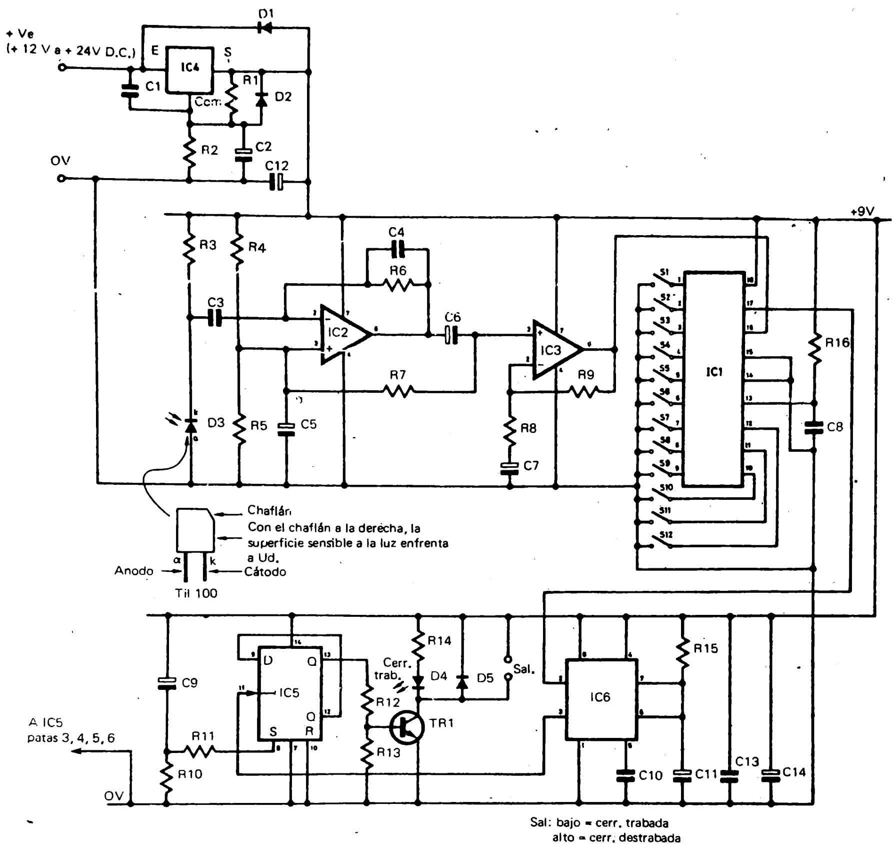


Fig. 2-39: Circuito de la "cerradura" (receptor).

El amplificador de entrada a FET, IC2, magnifica estas variaciones de corriente de fuga. R4, R5 y C5 proveen la partición de la tensión de fuente para la entrada no-inversora, mientras que C3 desacopla la entrada inversora. R6 determina la ganancia de este amplificador y C4 optimiza la forma de onda. La salida de IC2 se conecta a IC3, que está en una configuración de amplificador no-inversor. R7 polariza la entrada no-inversora a la mitad de la tensión de fuente, y C7 desacopla el lazo de realimentación. R8 y R9 determinan la ganancia de esta etapa (471 veces).

La salida de esta etapa es de suficiente amplitud (normalmente llega al nivel de alimentación) como para ingresar directamente a la entrada de IC1, que es un MM53200N conectado en el modo recepción.

La salida de IC1 gatilla un temporizador CMOS 7555 de algunos segundos de duración, cuando la cerradura es operada. Este pulso de salida a su vez gatilla a IC5, un biestable tipo *D*, conectado como contador –divisor por dos–. La pri-

mera operación de la llave destrabará el sistema, la segunda trabará nuevamente, la siguiente destrabará y así sucesivamente.

La inclusión de IC6 asegura la existencia de varios segundos entre cada operación de la cerradura, reduciendo las posibilidades de que cualquier persona no autorizada busque rápidamente las 4096 posibles combinaciones.

La salida de IC5 hace conducir a TR1, que produce el encendido del LED de *cerradura trabada* y provee una salida de colector abierto para excitar un relé de baja potencia o algún otro tipo de circuito. C9; R10 y R11 proveen una acción de reset cuando se enciende el receptor, para asegurar que en esas circunstancias siempre esté operado el *cierre* de la cerradura.

Para no sobrepasar los límites de tensión del integrado IC1, se incluye un regulador de 9 V, a cargo de IC4. Este último integrado es en realidad un regulador de 5 V, pero se lo fuerza a trabajar en 9 V mediante el partidor R1-R2. La entrada a este integrado puede ser de +12 a +24 V, y normalmente no hace falta disipador, salvo que se alimente un relé u otro circuito desde la fuente regulada.

El transmisor (o *llave*) se armará de acuerdo a la caja que se consiga para alojarlo, caja que deberá ser de dimensiones lo más reducidas posibles.

Por la escasa cantidad de componentes podrá utilizarse una placa preperforada para armarlo.

Para programar el integrado, podrán utilizarse las llaves DIP, para circuito impreso.

El alcance máximo previsto es de 1 metro, aproximadamente, aunque para un alcance mayor podrían agregarse más etapas amplificadoras en el receptor, y agregarse además otros emisores LED infrarrojos en el transmisor.

COMPONENTES

TRANSMISOR

Semiconductores

IC1	: MM 53200N
TR1	: BC558
TR2; TR3	: BC548
TR4	: BC337
D1	: 1N4002
D2; D3	: TIL 38 LED infrarrojo

Resistores 1/4 W ± 5%

R1	: 100 kΩ
R2; R5; R6	: 10 kΩ
R3; R4	: 22 kΩ
R7	: 4k7
R8	: 100Ω

Capacitores

C1	: 180 pF ± 5%
C2	: 100 μF 16 V
C3	: 100 nF disco

Varios

Batería 9 V; pulsador N.A.; gabinete, etc.

RECEPTOR

Semiconductores

IC1	: MM53200N
IC2; IC3	: CA3140
IC4	: 7805
IC5	: 4013
IC6	: 7555
TR1	: BC548
D1; D2	: 1N4002
D3	: TIL 100 detector infrarrojo
D4	: LED rojo ϕ 5 mm
D5	: 1N4148

Resistores 1/4 W 5%

R1	: 470Ω
R2	: 270Ω
R3	: 680kΩ
R4; R5; R11; R12	: 22 kΩ
R6	: 1M5
R7; R10; R16	: 100 kΩ
R8; R14	: 1 kΩ
R9; R15	: 470 kΩ
R13	: 10 kΩ

Capacitores

C1; C3; C13	: 100 nF disco
C2; C5, C7; C9	: 22 μF 25 V
C4	: 22 pF
C6, C14	: 10 μF x 25 V
C8	: 180 pF 5%
C10	: 10 nF
C11	: 4μ 7 tantalio
C12	: 2 μ2 tantalio

Varios

Circuito impreso; fuente CC +12 a + 24 V; llaves DIP; etc.

DETECCION DE NIVELES LOGICOS CON INVERSORES

Los sistemas digitales, tal como se ha explicado en la primera parte del libro, responden a dos estados posibles de sus terminales: el *estado lógico bajo* o estado cero, que corresponde a un nivel de tensión muy próximo a cero volt, y el *estado lógico alto* o estado 1, que coincide con un nivel de tensión muy cercano a la de alimentación del sistema.

Resulta pues de importancia poder detectar rápidamente el estado de una entrada o salida durante el estudio, verificación o mantenimiento de un circuito digital.

Un simple diagrama que incluye inversores C-MOS permite construir una sonda detectora de niveles lógicos con indicación por diodos electroluminiscentes.

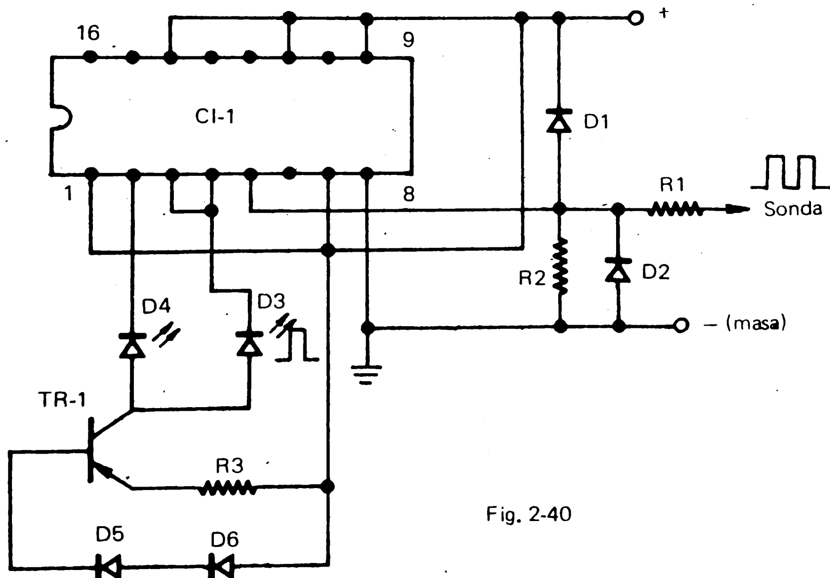


Fig. 2-40: Sonda detectora de niveles lógicos con el CD 4049 e indicación por diodos electroluminiscentes.

El esquema es el mostrado en la figura 2-40. Como se trata de un circuito activo, se necesita suministrarle tensión, pero la misma se toma desde el propio sistema bajo prueba.

Para adaptarlo a diferentes valores de potencial se utiliza el transistor TR-1 y sus componentes asociados R2; R4 y D5-D6. Estos diodos estabilizan el potencial de base a un valor constante de 1,4 V, cualquiera sea el potencial de alimentación (dentro del rango 5 a 15 V). De esta manera la corriente de la carga de colector es esencialmente constante.

Como dicha carga está constituida por los diodoselectrolumiscentes D3 y D4, por ellos circulará siempre una intensidad de 12 mA, aunque la tensión de alimentación varíe en el rango mencionado. Esto amplía las posibilidades de uso de la sonda, tanto en circuitos de lógica TTL, alimentados con 5 V, como en circuitos C-MOS, con tensiones de 12 a 15 V.

El funcionamiento de los inversores N1 y N2 depende del potencial aplicado al extremo libre de R1.

Si se aplica una tensión elevada con respecto a masa, N1 invierte este nivel lógico alto, de modo que su salida (terminal 4) queda conectado a masa, llevando a dicho potencial nulo al cátodo de D3. El diodo se ilumina, indicando la presencia efectiva de un estado alto en la entrada.

La puesta a masa (DV) de la salida N1 implica el mismo valor en la entrada de N2 (terminal 3), ya que ambos puntos están interconectados. Entonces la salida del inversor N2 es alta y el diodo D4 permanece apagado.

En cambio, si al extremo de R1 se aplica un nivel lógico bajo-inferior a 1/3 de la tensión de alimentación– se produce una doble inversión: la salida de N1 pasa al estado alto que se transmite a la entrada de N2 y la salida de esta pasa al estado bajo; en consecuencia D3 permanece apagado y D4 se enciende.

Para proteger el circuito frente a contactos accidentales con potenciales superiores a 100 V se colocan diodos a la entrada de N1, referidos a los puntos de alimentación y masa.

Debido a la alta impedancia de entrada, proporcionada por R2 (10 MΩ), la corriente tomada por la sonda desde el circuito bajo prueba es despreciable. Al mismo tiempo su valor bloquea la entrada de N1 cuando la sonda está sin contacto, evitando encendidos esporádicos de los diodos.

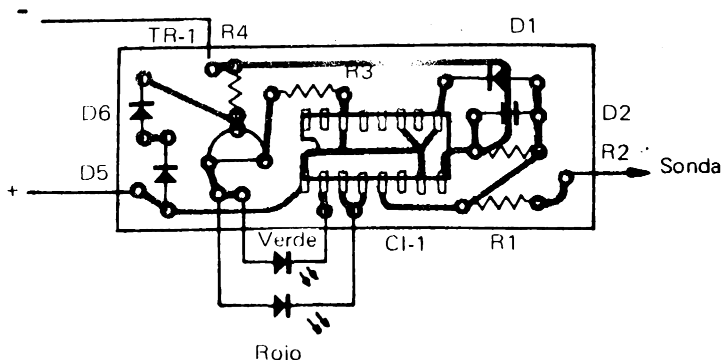


Fig. 2-41: El impreso y la disposición de componentes para el circuito de la fig. 2-40.

Si la sonda detecta un tren de pulsos, los diodos se encenderán alternativamente, según se midan pulsos altos o bajos. Si la frecuencia del tren de pulsos es superior a pocos ciclos, el encendido aparecerá como continuo en ambos diodos.

Para efectuar las mediciones, se conectará previamente la alimentación de la sonda a los puntos de tensión del circuito bajo prueba ya conocidos o medidos con un voltímetro.

El armado de la sonda debe facilitar una rápida visualización de la indicación luminosa, para lo cual se aconseja ubicar los diodos D3 y D4 tan cerca como sea posible de la punta de contacto.

Resulta práctico montar los componentes sobre un pequeño impreso y ubicar el mismo en un tubo plástico que a su vez sostiene la punta metálica detectora. Por el extremo opuesto del tubo se extraen los cables de alimentación de largo suficiente para facilitar las conexiones al equipo bajo prueba. Estos detalles se muestran en las figuras 2-41 y 2-42, respectivamente.

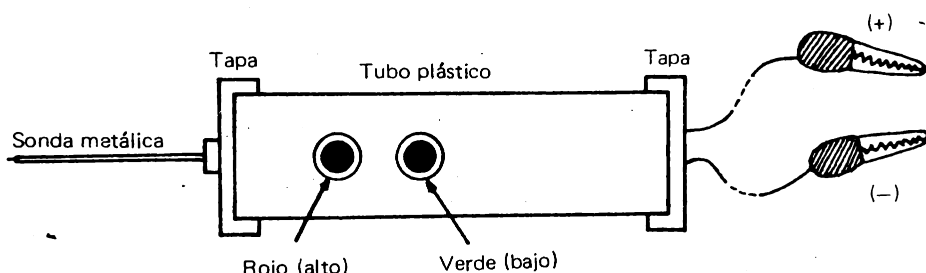


Fig. 2-42: Detalles constructivos dela sonda.

COMPONENTES

Semiconductores

CI-1 : CD4049
TR-1 : 2A238-B

D1; D2; D5; D6: 1N4148
D3 : diodo electroluminiscente rojo (diám. 3 mm)
D4 : diodo electroluminiscente verde (diám. 3 mm)

Resistores ± 5% - 1/8 W

R1 : 100 kΩ
R2 : 1 MΩ
R3 : 56 Ω
R4 : 5 k6

Varios

circuito impreso
terminales de conex, rojo y negro.
punta o sonda metálica
tubo plástico apropiado.

METRONOMO ELECTRONICO

El tradicional metrónomo musical, que es un dispositivo controlado por un aparato de relojería, sirve para medir el tiempo e indicar la velocidad a que debe interpretarse una pieza musical. Es un invento que data del año 1816 y cuyo autor es un mecánico alemán apellidado Maelzel, a quien se deben otras contribuciones, entre ellas, un jugador automático de ajedrez.

El metrónomo mecánico consta de un péndulo, cuyas oscilaciones pueden graduarse (entre 40 y 208 por minuto).

De tal forma, los músicos pueden regular la velocidad media de la interpretación.

La versión que ofrecemos aquí, pretende cumplir la misma función, pero realizada con tecnología C-MOS.

Se utiliza un integrado CD4011, que es una cuádruple compuerta NAND de dos entradas, más el agregado de algunos componentes discretos. El *tick-tack* generado es reproducido por un pequeño parlante, de 8 ohms de impedancia, como el que se utiliza en las pequeñas radios portátiles.

Remitiéndonos a la fig. 2-43, vemos que se parte de un oscilador formado por las compuertas IC1a e IC1b, disposición clásica que se vé en otros circuitos del presente libro. No obstante, aquí observamos una variante debida a la inclusión de dos diodos, D1 y D2, que unidos a sendos resistores ajustables P1 y P2, permiten variar la relación cíclica de la forma de onda generada por el oscilador. Esto es así, porque se independiza la carga de la descarga del capacitor C1.

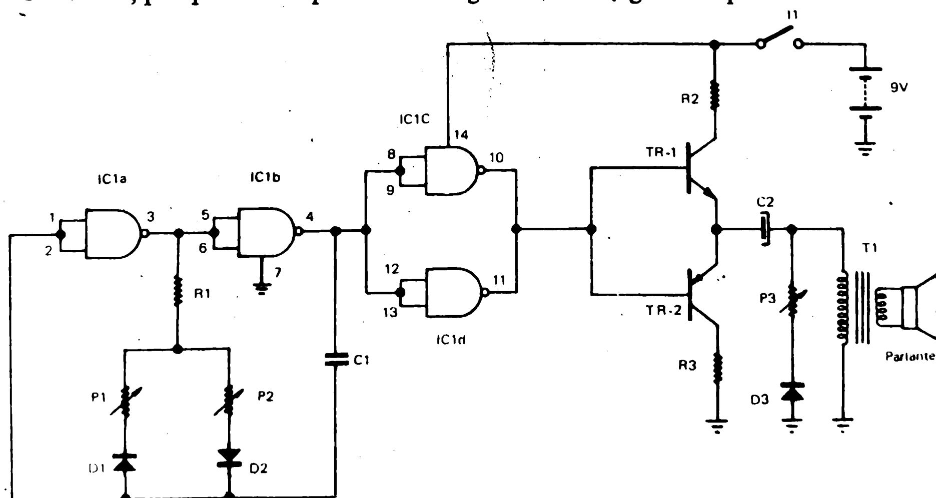


Fig. 2-43: Circuito del metrónomo electrónico.

Por ejemplo, si el valor de P1 es mucho menor que el correspondiente a P2, el período en que la salida de IC1b (pata 4) está a nivel alto es corto, debido a que la carga de C1 a través de D1 y P1 posee una constante de tiempo baja. En cambio, la duración del período en que la salida de Ic1b está a nivel bajo es largo, debido a la mayor constante de tiempo de la descarga de C1 vía D2 y P2..

Esto da por resultado un tren de pulsos como se observa en la fig. 2-44, donde se observa que los semiciclos positivos son cortos respecto de los semiciclos negativos. Ajustando convenientemente P1 y P2, puede variarse la relación entre ambos semiperíodos. De esta forma, el período largo determina el compás de espera, mientras que el período corto produce el tono seco para identificar la marcación. El capacitor de temporización, C1, debe ser de mylar, de bajas pérdidas, con un valor de aproximadamente 2 μF.

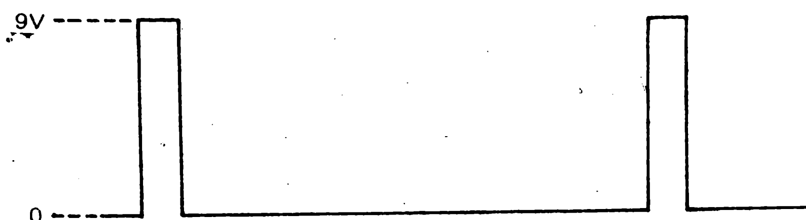


Fig. 2-44: Formas de onda sobre la salida del Integrado IC1-b (terminal No. 4).

Capacitores semejantes se utilizan en los aparatos telefónicos convencionales. También puede utilizarse en su reemplazo un capacitor de tantalio, con un valor comprendido entre 2,2 y 4,7 μF, con una tensión de aislación de 16 V.

Para amplificar la potencia del sonido producido, se utilizan dos transistores en montaje complementario. Para adaptar impedancias, se utiliza un transformador T1, cuya relación de transformación es de 8:1.

Para mejorar el sonido del *tock* se incluye el diodo D2, junto con el potenciómetro P3, que permitirá el ajuste al valor deseado.

La alimentación está prevista para ser realizada con una batería de 9 V, para qué el dispositivo sea realmente portátil, aunque bien podría utilizarse una pequeña fuente de poder tomada de la línea.

COMPONENTES

Semiconductores

IC1 : 4011A cuádruple NAND de dos entradas
TR-1 : transistor BC337B
TR-2 : transistor BC327B
D1; D2; D3 : diodo de señal 1N4148

Resistores 1/4 W 5%

R1	: 47 kΩ
R2; R3	: 10 Ω
P1; P2	: pote lineal 500 kΩ
P3	: pote lineal 1 kΩ

Capacitores

C1	: 2 a 5 μF mular o tantalio, 16 V
C2	: 2,2 a 10 μF electrolífico 16 V

Varios

T1; trafo de salida de audio, primario 500 Ω; secundario 8Ω; interruptor; batería 9 V.

TACOMETRO PARA AUTOMOVIL

Este circuito utiliza el integrado MM5451N, que es un registro de desplazamiento (shift register) y excitador de LEDS (diodos emisores de luz), para proveer una presentación del tipo barra, del número de revoluciones por minuto de un motor de explosión. La cantidad de LEDS es de 35, con lo que se consigue una buena resolución.

La señal de conteo se toma de los platinos, que provee pulsos que se acondicionan con los componentes de entrada (diodos D1; D2; D3, capacitor C1, resistores R1; R2; R3 y las secciones a y b del integrado IC1 que hacen las veces de Schmitt trigger.

IC1 es un héxuple inversor, cuyas restantes secciones cumplen otras funciones.

El funcionamiento, referido a la fig. 2-45, es el siguiente:

IC1C e IC1d forman un oscilador, cuya frecuencia está determinada por C2 y P1, siendo este último un preset de ajuste, pues el oscilador mencionado, que hace las veces de base de tiempo, debe adecuarse al número de cilindros del motor, como se verá mas adelante.

Este tipo de oscilador, realizado con dos inversores, es una disposición que será vista varias veces en los circuitos incluidos en este libro. Conviene refrescar los detalles de su funcionamiento. Centremos la atención en las dos secciones, *c* y *d* de IC1. Supongamos que en determinado momento, la entrada de IC1 c (pata 5) está a nivel alto. Por consiguiente, la salida (pata 6) estará a nivel bajo (recordemos que se trata de un inversor). Lo mismo ocurrirá con la entrada de IC1d, pues está unida a la salida de IC1c. La salida de IC1d estará pues a nivel alto, y el capacitor C2 tomará carga a través de P1. Cuando C2 termina de adquirir su carga, la unión de C2 con P1 quedará a nivel bajo, y por consiguiente lo mismo ocurrirá con la entrada de IC1C, que está unida a ese punto mediante R4. $IC1_C$ e IC1d conmutan por ende su estado, y el capacitor C2 se descarga a través de P1. Este proceso se repite cíclicamente proporcionado a la salida de IC1d una señal cuadrada.

Cuando el nivel de salida de IC1d es alto, se habilita la compuerta NAND IC2 a (por pata 2), que actúa como llave controlada electrónicamente. Recordemos que si se aplica nivel lógico alto a una de las entradas de una NAND, un tren de pulsos aplicado a la otra entrada aparecerá a la salida, mientras que si se mantiene esa entrada a nivel bajo, no aparecerán los pulsos a la salida de la compuerta.

Esto es precisamente lo que sucede con IC2a, que al estar habilitado, deja pasar los pulsos provenientes de los platinos. A su vez, IC2C también deja pasar dichos pulsos, pues su entrada por pata 9 está a nivel alto por las sucesivas inversiones de IC2b e IC2d.

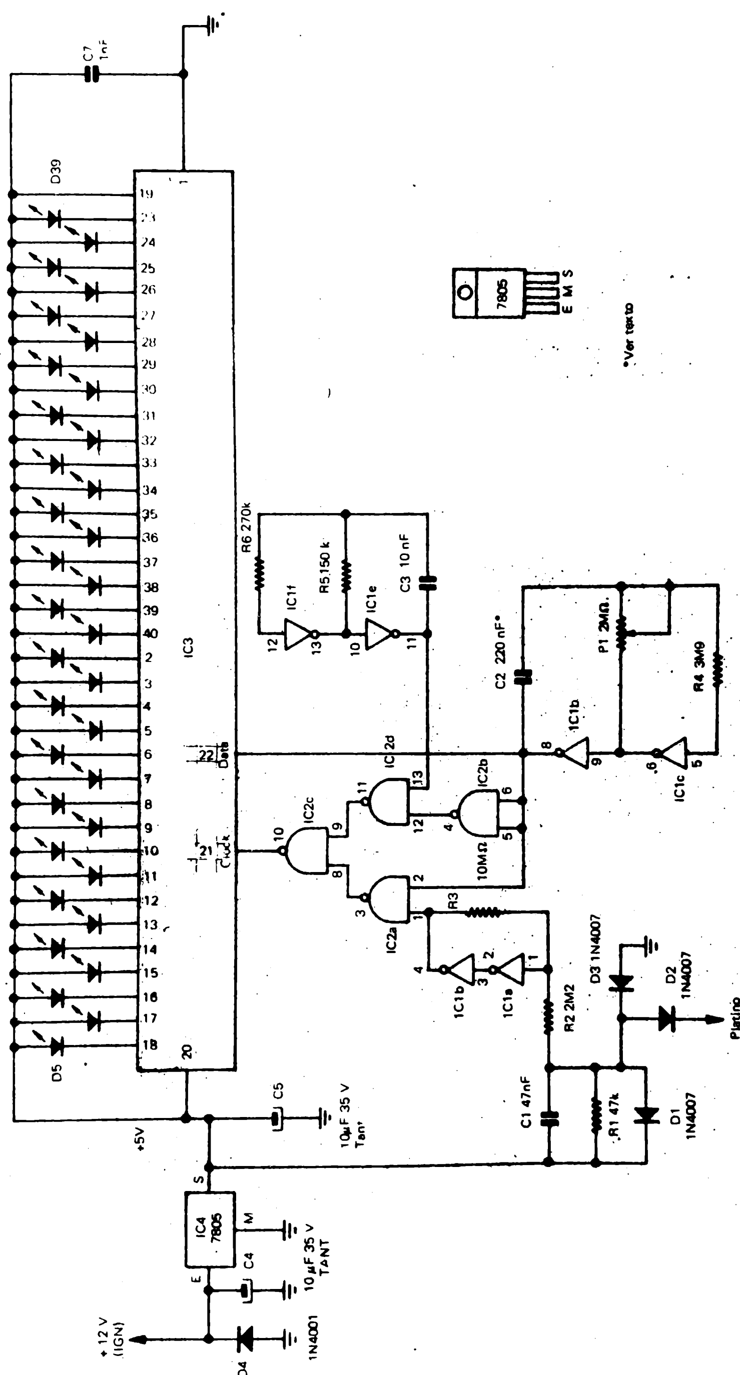


Fig. 2-45 Tacómetro para medición de las revoluciones de motores de automóvil.

Los pulsos llegan así a la entrada de *clock* de IC3, produciendo el desplazamiento de los registros. Mientras tanto, la entrada de *data* (datos) de IC3 permanece a nivel alto, por lo que los registros se llenarán con *unos*, que producirán el respectivo encendido de los LED de la barra.

Cuando la salida de IC1d está a nivel bajo, lo mismo sucede con la entrada de datos de IC3, y ahora es el oscilador formado por las secciones IC1e-IC1f el que provee los pulsos de reloj para *llenar* el registro de desplazamiento con ceros.

El registro no aceptará ningún dato más, después de llenarse, hasta que la entrada de datos no vuelva nuevamente al estado *alto*. Entonces, el número de LED encendidos corresponderá al número de pulsos de ignición recibidos. El presentador de barras se renueva cada 0,3 segundos (en el caso de un motor de cuatro cilindros). Para ello, el oscilador formado con las secciones IC1c e IC1d debe ajustarse a 3,33 Hz. Para el caso de un motor de seis cilindros, la frecuencia correspondiente es de 5 Hz, y para un motor de ocho cilindros, la frecuencia resultante es de 6,67 Hz.

Esto provee una lectura máxima de 7000 r.p.m. Para el caso de tener que usar las frecuencias más elevadas, es posible que deba disminuirse el valor del capacitor C2, que nominalmente es un valor de 200 nF. Conviene utilizar un buen capacitor de poliester metalizado para mejor estabilidad.

C4; C5 y C6 son capacitores de desacoplamiento, que deben conectarse lo más próximo posible a las correspondientes patas de los integrados. C7 desacopla la entrada de brillo, que está ajustado al máximo.

La alimentación de + 5 V es provista por IC4, que requerirá un disipador.

Podrá utilizarse como reemplazo el MM5450N, que posee solamente 34 salidas y el agregado de una pata de *habilitación* (enable), correspondiente a la pata 23, que deberá ir a cero volt.

La configuración descrita es apta para los vehículos con negativo a masa.

La alimentación desde los 12 V del vehículo conviene tomarla a la salida de la llave de ignición, como se indica, para que no exista consumo innecesario cuando la ignición está cortada.

Se ha incluido un diodo (D4) a la entrada, para prevenir los picos negativos provenientes del sistema de encendido.

COMPONENTES

Semiconductores

IC1	: 4069 hex inversor
IC2	: 4011 cuádruple NAND de dos entradas
IC3	: MM5451N shift register y excitador de LEDS.
IC4	: 7805T regulador de 5 V
D1; D2; D3	: 1N4007
D4	: 1N4001
D5 a D39	: LEDS de barras

Resistores 1/4 W 5%

R1	: 47 kΩ
R2	: 2M2
R3	: 10 MΩ
R4	: 3M9
R5	: 150 kΩ
R6	: 270 kΩ
P1	: preset de ajuste 2 MΩ

Capacitores

C1	: 47 nF cerámico disco
C2	: 200 nF poliester (ver texto)
C3	: 10 nF plate
C4; C5; C6	: 10 μF 35 V tantalio
C7	: 1 nF plate.

ALARMA ACTIVADA POR CIERRE

El sistema descrito en este caso se utiliza para el control de nivel de líquido, pero el interesante principio empleado puede servir para usos totalmente diferentes, siempre que pueda introducirse una variación de resistencia como elemento activador.

El sistema de compuertas contenido en el CD4011 es accionado en este caso conectando o desconectando el potencial de alimentación a través de un transistor.

El elemento TR-1 trabaja en modo de conmutación, pasando del estado de corte –no conducción–, al estado de saturación, –conducción plena– y operando así como una llave electrónica que impide el paso de la corriente de alimentación o bien permitiendo su circulación normal.

Esta acción se debe a las características de polarización propias del transistor, tal como se esquematiza en la figura 2-46.

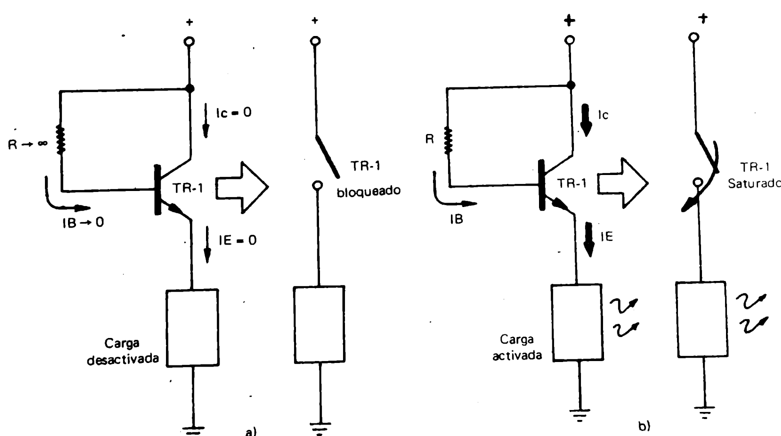


Fig. . 6: El transistor en estado de bloqueo es análogo a una llave abierta (a) el transistor e estado de saturación es análogo a una llave cerrada (b).

En el caso citado, para una alarma indicadora de nivel mínimo de líquido, la diferencia de resistencia de polarización de base se debe a la presencia o ausencia del líquido entre dos electrodos cercanos.

Cuando el nivel de líquido está por debajo de los puntos de contacto de los electrodos, estos quedan aislados entre sí, de modo que la resistencia entre ambos es muy alta, prácticamente infinita. Por tanto, la corriente de base es nula y

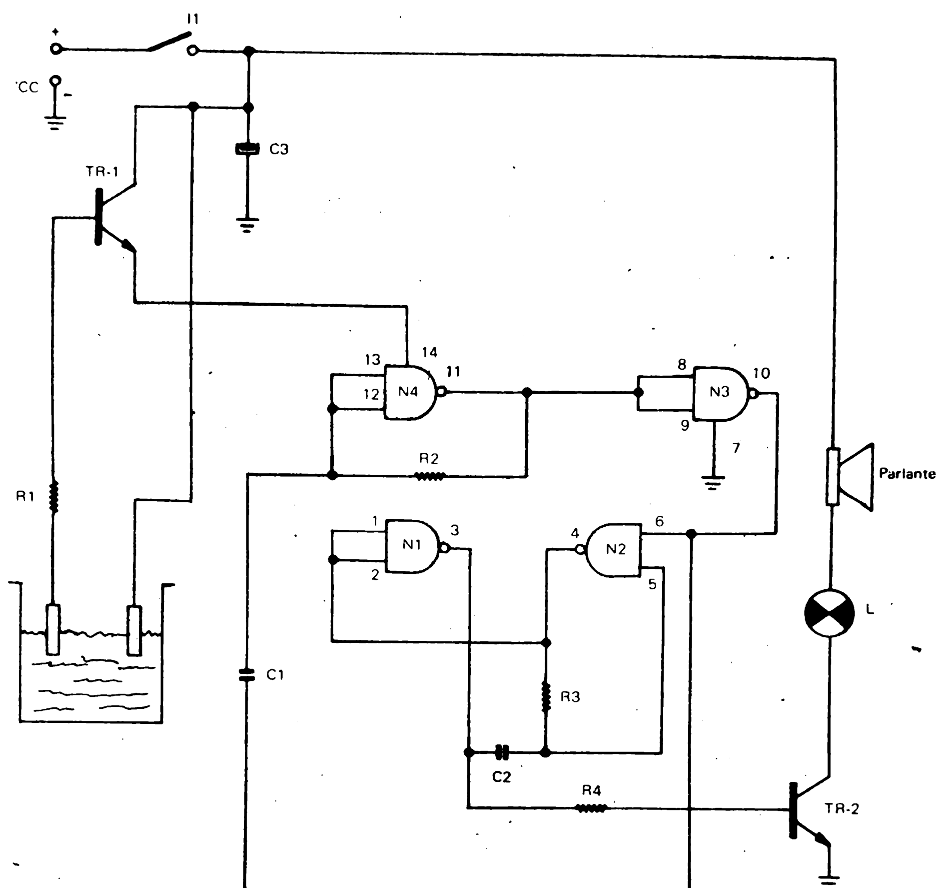


Fig. 2-47: Circuito de la alarma activada por cierre de circuito, útil para control de líquidos conductores de la electricidad.

ninguna corriente se establece entre el colector y emisor de TR-1 (ver fig. 2-47).

Como el emisor de TR-1 se conecta al terminal 14 de CI-1 (alimentación del integrado), en esta situación dicho integrado no recibe el potencial de 4,5 V proveniente de la pila y la alarma permanece inactiva.

Para la construcción de la alarma propiamente dicha se recurre –como en infinidad de aplicaciones– al circuito integrado CD4011, cuadruple compuerta NAND de doble entrada, en tecnología C-MOS.

Las compuertas contenidas en el encapsulado se utilizan por pares, formando sendos multivbradores astables vale decir, de funcionamiento libre.

Los elementos indicados como N1 y N2 forman un multivibrador cuya frecuencia es de tono audible.

Como se aprecia en la figura, la compuerta N1 se conecta como inversora,

estando unidas sus entradas (patitas 1 y 2 del integrado) a la salida de N2 (patita 4).

La interconexión cruzada que da origen al multivibrador queda establecida por los componentes externos resistivo-capacitivos R3 y C2.

La señal producida tiene una frecuencia inversamente proporcional al producto R3C2, que constituyen su constante de tiempo.

Con los valores dados en el circuito, la frecuencia de trabajo es del orden de 400 Hz.

Las compuertas N3 y N4 operan también como multivibrador astable, pero con una constante de tiempo muy distinta, produciendo una señal de muy baja frecuencia tipo subsónico (4 Hz). Dicha frecuencia queda determinada por los valores de C1 y R2.

La salida de N2 se inyecta a una de las entradas de N2 de modo que ambas señales interactúan produciéndose un efecto de modulación que genera un característico sonido de alarma.

La salida modulada obtenida desde el terminal N° 3 del integrado se aplica a un transistor D'arlington TR-2 cuya corriente de colector es suficiente para excitar a un parlante pequeño de 8Ω. En serie con el parlante se coloca una lámpara incandescente de 0,75 W que sirve como testigo visual del funcionamiento de la alarma.

El sistema sólo se desactivará cortando la alimentación o llevando el nivel del líquido por debajo del punto de contacto de los electrodos sensores.

COMPONENTES

Semiconductores

CI-1 : CD4011
TR-1 : 2A98

TR-2 : 2A250

Resistores ± 5% - 1/8 W

R1 : 4 k7
R2 : 1MΩ
R3 : 100 kΩ
R4 : 3 k9

Capacitores

C1 : 100 nF poliester
C2 : 10 nF poliester
C3 : 1 μF x 6 V electrol.

Varios

electrodos de contacto (carbón o metal)

L : lámpara incandescente 750 mW (2,5 V – 0.3 A)

P : parlante 8 Ω

Circuito impreso adecuado (ver figura 2-48)

I1 : interruptor alimentación

pila chata 4,5 V.

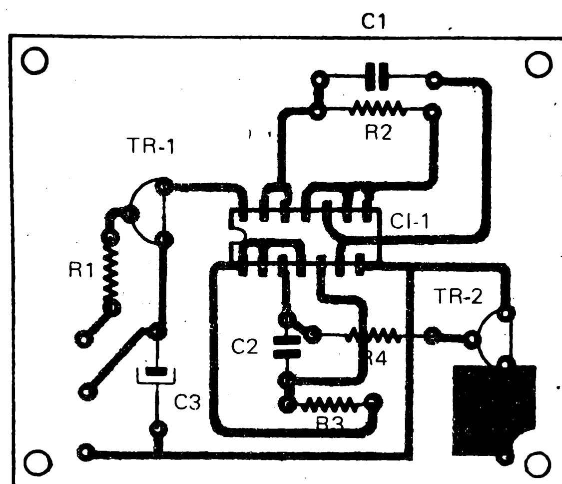


Fig. 2-48: Disposición de componentes del circuito de la fig. 2-47 e impreso (visto por transparencia).

LLAVE ACTIVADA POR SONIDO

Uno de los métodos disponibles de control remoto, que brinda una posibilidad espectacular, es el que se implementa mediante una llave actividada por sonido. El dispositivo a controlar responderá así a alguna forma de ruido generado exprofeso: un silbido, un batir de palmas, o aún la tos. Se podrán accionar así infinidad de artefactos: luces, equipos de audio, puertas, etc.

A continuación, se brinda un circuito que permite materializar esta función, y cuyo esquema aparece en la figura 2-49.

El circuito proporciona dos modos de funcionamiento: memorizado y temporizado. En el modo memorizado, la llave conmuta al ser disparada por un sonido y mantiene ese estado hasta que es reseteado deliberadamente por un segundo sonido o una secuencia de sonidos. El modo temporizado responde y mantiene el estado por un lapso programado de tiempo, después del cual el dispositivo se resetea automáticamente y queda a la espera de una nueva acción de gatillado por sonido.

Estas dos maneras de funcionar se seleccionan mediante una llave. Para la función temporizada se hace uso de un monostable redisparable, como se verá en detalle más adelante, lo que posibilita por ejemplo mantener encendidas las luces de una habitación mientras se emita periódicamente algún tipo de ruido (chasquido, etc.), pero al abandonar el recinto, el silencio que sobreviene hará apagar las luces sin intervención del usuario.

Se utilizan en este circuito dos integrados digitales en tecnología C-MOS y un integrado lineal. El disparo se produce por la captación de la señal de audio mediante un micrófono electret. La señal provista por el micrófono es amplificada por U1, que es un amplificador operacional doble, y tiene ambas secciones conectadas como inversoras en cascada.

Los resistores R3, R4, R5 y R6 proveen una polarización con derivación central que permite a los operacionales trabajar con fuente única. La ganancia de la primera etapa está determinada por la relación de R2 a R7.

La salida (pata 1) de la primera etapa es acoplada capacitivamente a la entrada inversora (pata 6) del segundo amplificador operacional, cuya ganancia está determinada por el ajuste del potenciómetro R10. Mediante R10 se ajusta la sensibilidad de la llave activada por sonido, y es un control que debe estar en el panel frontal. (Ver figura 2-50).

La salida (pata 7) del segundo amplificador operacional posee suficiente amplitud para excitar la entrada de U2, un monostable 4047, que está conectado como monostable redisparable. La elección de este componente se elige precisamente porque su salida permanece a nivel lógico alto en tanto haya sonidos pre-

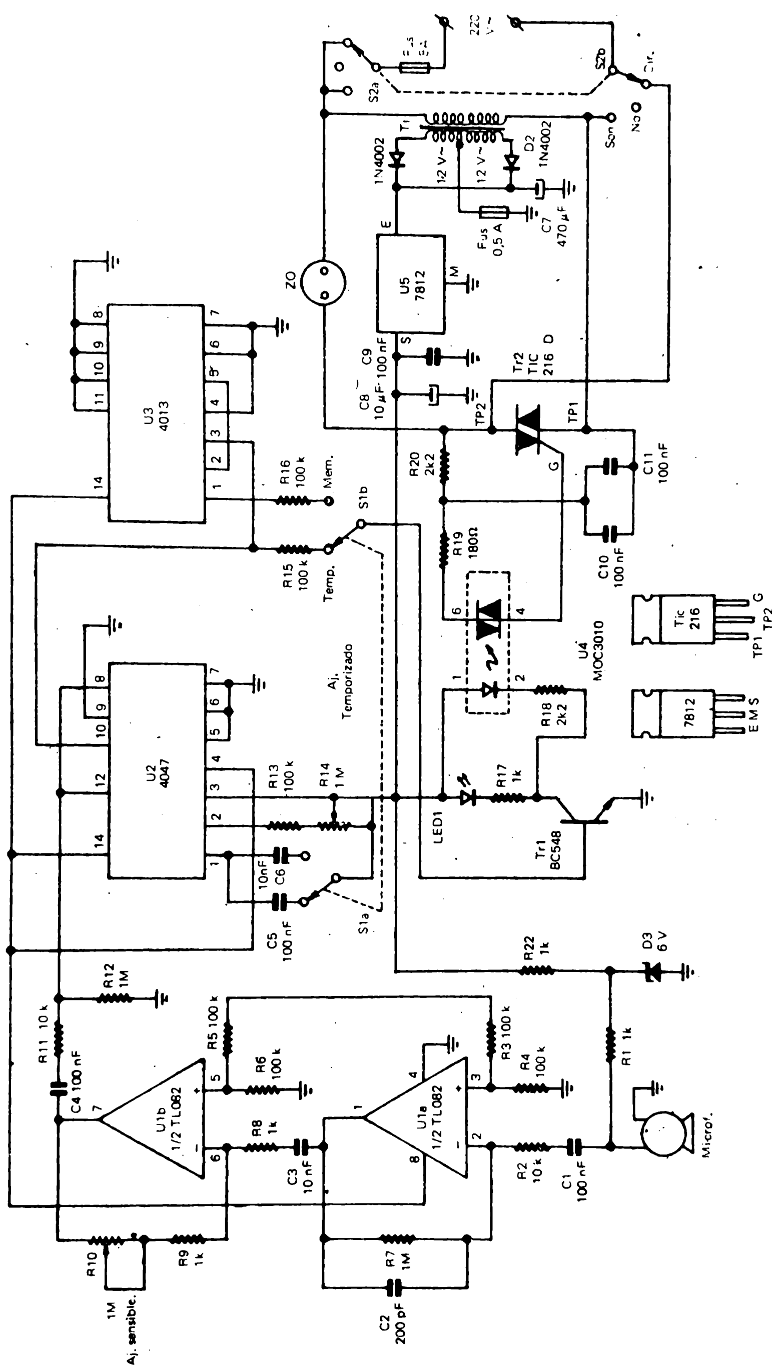


Fig. 2-49: Esquema circuital de la llave activada por sonido.

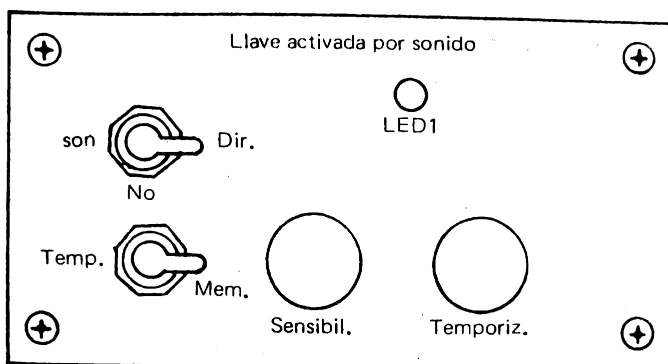


Fig. 2-50: Distribución sugerida de los controles sobre el panel frontal del gabiente. Atención: el circuito funciona sometido a potencial de línea, cuidar las conexiones indebidas sobre gabinete metálico.

sentes en la habitación. Si sobreviene el silencio, el monostable se reseteará en un lapso de tiempo comprendido entre 6 a 60 segundos, dependiendo del ajuste del potenciómetro R14, que también debe incluirse en el panel frontal.

El resistor R13 y el capacitor C6 también regulan el tiempo de disparo. La llave S1a conecta C6 cuando se está en el modo de temporizado y C5 cuando se está en el modo memorizado. C5 es de valor más pequeño para que haya un pulso más corto a la salida cuando se trabaja en modo memorizado.

La salida Q (pata 10) de U2 se conecta tanto al biestable (U3) como al circuito de salida, dependiendo de la posición de S1b.

Si S1 está en la posición memorizada, la salida de U2 queda conectada a la entrada (pata 3) de U3 (4013), un biestable tipo D. U3 tiene su salida $\overline{Q}$ (salida negada) conectada al terminal D (pata 2), por lo que conmutará cada vez que reciba un pulso. La salida Q de U3 (pata 1), se conecta al transistor TR2 mediante S1b, si la llave es llevada al modo memorizado.

Cuando la tensión en S1b está en nivel alto,TR-1 conducey alimenta al LED del optoacoplador (U4) a través del resistor limitador de corriente R18. TR1 también alimenta al LED indicador (LED1). El triac TR2 es activado por la salida del optoacoplador.

La fuente de poder provee los 12 V necesarios para los circuitos principales y los 6 V que requiere el micrófono electrec.

La salida de T1 es rectificada por los diodos D1 y D2 y enviada al regulador U.5, de 12 V. El zéner D3 provee los 6 V para el micrófono.

La llave S2 posee 3 posiciones. En una posición se conecta la llave activada por sonido, en otra posición se conecta el artefacto controlado directamente a la red, cortocircuitando a la llave y existe una tercera posición de desactivado total.

El circuito completo puede armarse en una plaqueta preperforada y alojarse en un gabinete de plástico. Téngase especial cuidado en todas las líneas que conducen el voltaje de red, para evitar choques de tensión peligrosos.

Una vez armado el circuito, se conectará una lámpara de 40 W al zócalo ZO. La llave S2 se colocará en su posición central, y luego se conectará el circuito a la red.

Si S2 se lleva entonces a la posición DIR, la lámpara se iluminará. Luego S2 se lleva a la posición SON, y la lámpara debe apagarse (previamente, se asegurará que el control de sensibilidad R10 está al mínimo). Luego se conecta S1 en el modo memorizado, y se avanza R10 hasta que un sonido de nivel pretendido dispara la llave y produce el encendido de la lámpara.

Se verificará que un segundo sonido apague la lámpara. En el modo temporizado, se ajustará el retardo para determinar el período de encendido después del disparo.

Téngase presente que el monostable es redisparable, por lo que si hay un sonido repetitivo, la lámpara permanecerá encendida hasta que sobrevenga el silencio.

Se conectará el artefacto a controlar en el zócalo ZO teniendo la precaución de no sobrepasar el régimen máximo de corriente del tiristor, que es de 6A. Podrá ser necesario un disipador para este componente si la carga lo exige, pero téngase presente que dicho disipador está a potencial de 220 V, así que deberán tomarse precauciones.

COMPONENTES

Semiconductores

U1	: doble operacional TL082
U2	: monostable CD4047
U3	: doble biestable "D" CD4013
U4	: optotriac MOC 3010
U5	: regulador de 12 V 7812
D1; D2	: diodo 1N4002
D3	: diodo zener 6 V (1N4735)
LED1	: diodo emisor de luz
Tr1	: transistor BC548
Tr2	: triac TIC 216

Resistor 1/4 W 5%

R1; R8; R9; R17; R22	: 1 kΩ
R2; R11	: 10 kΩ
R3; R4; R5; R6; R13; R15; R16	: 100 kΩ
R7 ; R12	: 1 MΩ
R10; R14	: 1 MΩ pote LIN
R18	: 2k2
R19	: 180Ω
R20	: 2k2
R21	: 2k7

Capacitores

C10; C11 : 100 nF 400 V mylar
C1; C3; C4; C5; C9: 100 nF 50 V mylar
C2 : 220 pF cerámico disco
C6; C8 : 10 μF 16 V electrolítico
C7 : 470 μF 25 V electrolítico

Varios
T1, trafo 220/ 12 + 12 V 0,5 A;
MICROF micrófono electret; S1, llave doble inversora;
S2, llave 2 polos 3 posic. 10 A;
F1, fusible 8 A; F2, fusible 1/ A; ZO, ficha hembra 220 V.

MULTIPLICADOR DE FRECUENCIA CON PLL

Se brinda aquí una aplicación típica del integrado CD4046, que trabaja por el principio de lazo enganchado en fase (phase locked loop, abreviado PLL).

Con este integrado se puede lograr la multiplicación de una frecuencia por un factor cualquiera. Su uso está muy difundido en sintetizadores de frecuencia, convertidores de frecuencia a tensión, demoduladores de FM, etc.

Se ha pensaado aquí, en una aplicación concreta: a veces se hace necesario medir una frecuencia relativamente baja, por ejemplo, en el dominio de las audiofrecuencias, con cierta precisión. Inmediatamente se piensa en un frecuencímetro digital, pero sucede que generalmente estos instrumentos no posean una resolución satisfactoria para frecuencias bajas, o necesitan utilizar un tiempo de muestreo muy largo.

Este problema se soluciona multiplicando la frecuencia que se desea medir antes de ingresarla al frecuencímetro, por ejemplo, por potencias de diez, para tener lectura directa.

A continuación, se brindarán detalles del circuito en cuestión.

A diferencia de la división de frecuencias, que es una tarea muy sencilla de resolver, con gran variedad de integrados disponibles tanto en tecnología TTL como CMOS, la multiplicación de frecuencia no es tan directa y sencilla, debiendo recurrirse a una técnica especial.

En la primera sección de este libro ya se brindó un ejemplo de como se puede multiplicar por dos, (o potencias de dos), una frecuencia cualquiera. Con el integrado CD4046 puede lograrse una multiplicación por cualquier número entero, no obstante, hay un cierto rango denominado *de captura*, apartándose del cual se produce el *desenganche* del PLL.

Más adelante trataremos esto en detalle. Primero brindaremos información global acerca del integrado CD4046, construido en tecnología CMOS, que trabaja con el principio de lazo enganchado en fase. La fig. 2-51 muestra un diagrama en bloques de este integrado, que está contenido en un encapsulado DIL de 16 patas.

Como se observa en el diagrama en bloques, se distinguen las siguientes secciones: 1) un circuito de acondicionamiento de la señal de entrada (self bias circuit), que se encarga de ajustar las señales de bajo nivel en la región lineal del amplificador; 2) dos circuitos comparadores de fase. Estos comparadores proveen una señal digital de error proporcional al desfasaje entre las dos señales que ingresan a ellos.

El comparador 1 está realizado con una compuerta 0-exclusiva, y mantiene un desfasaje de 90°, en la frecuencia central, entre las dos señales de entrada. El

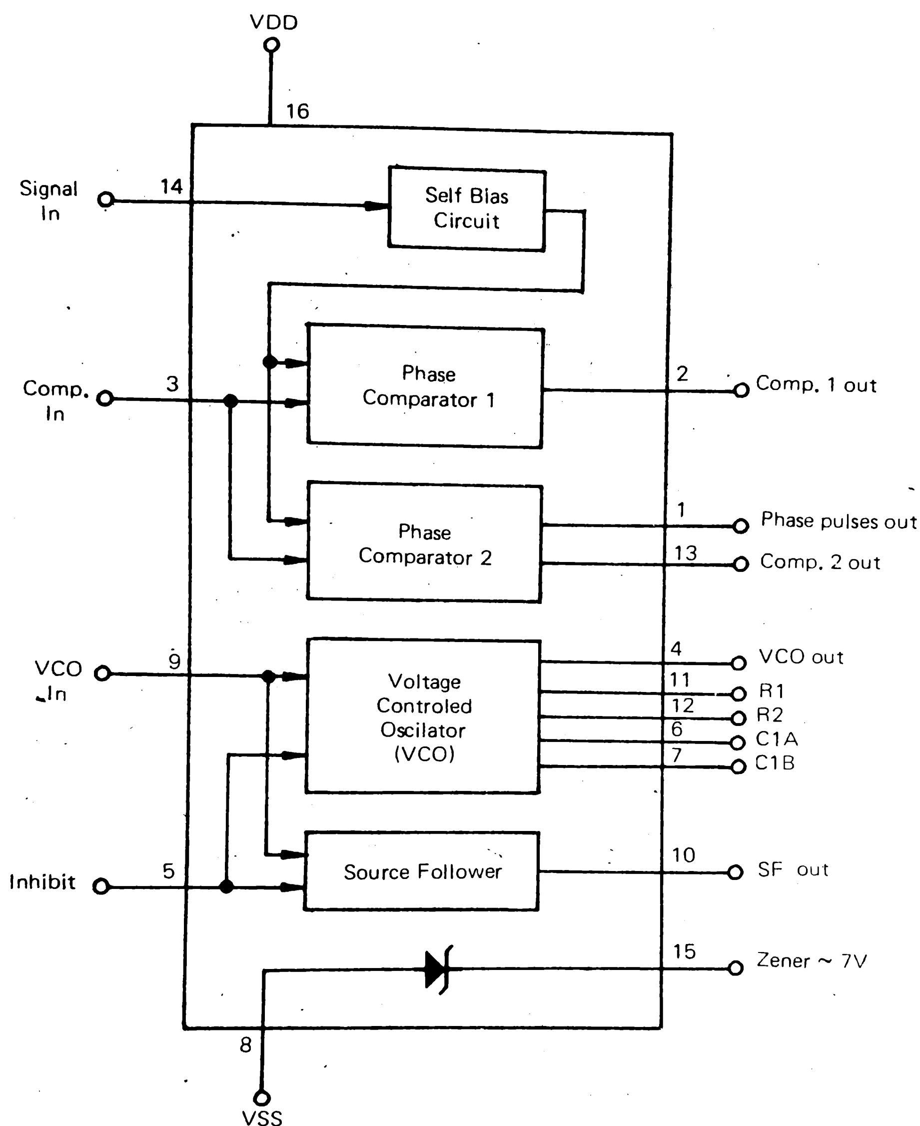


Fig. 2-51: Organización interna del integrado CD 4046.

comparador 2 está realizado con lógica de sensado de frente de ataque de la señal, y mantiene un desfasaje de 0° entre las dos señales de entrada.

La fig. 2-52 muestra las formas de onda en ambos comparadores; 3) un oscilador controlado por tensión (voltage controlled oscilator, abreviado VCO), que produce una señal de salida cuya frecuencia está determinada por la tensión de

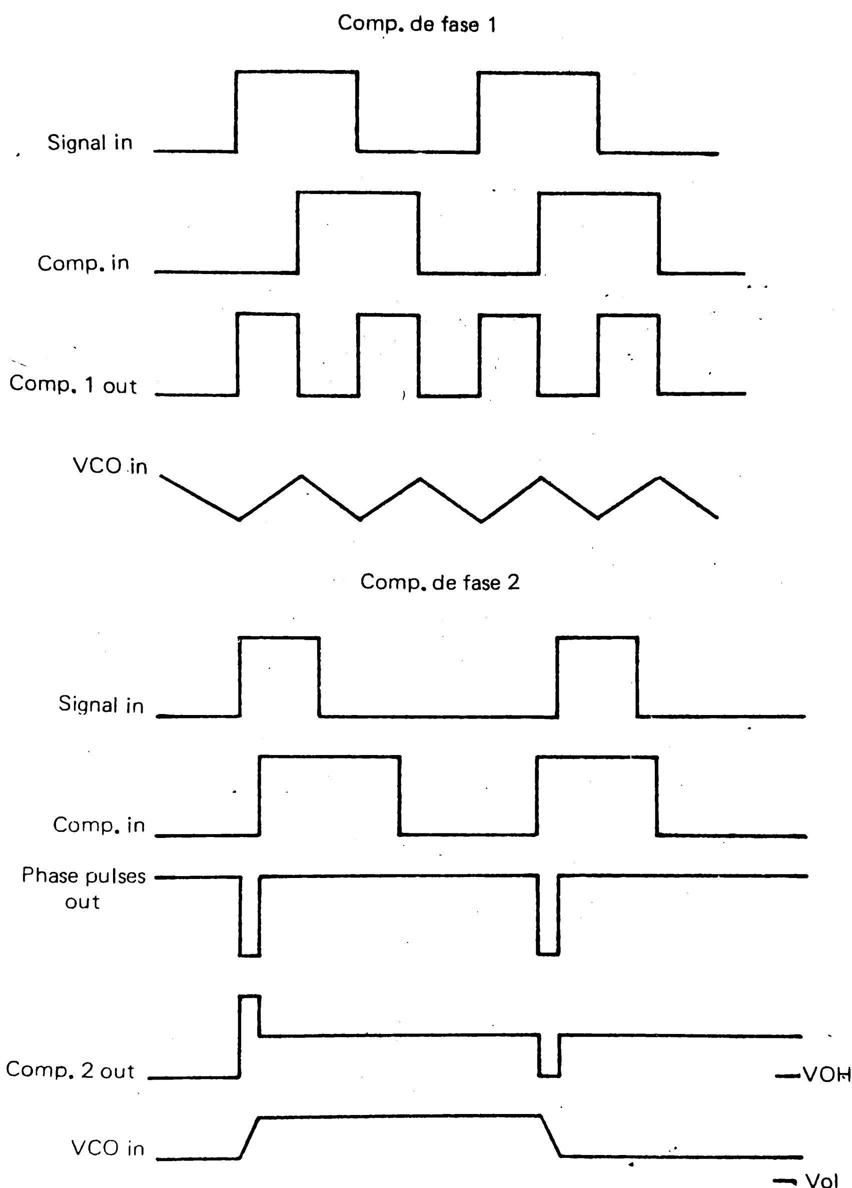


Fig. 2-52: Formas de onda en los comparadores de fase.

entrada VCO in y el capacitor y los resistores conectados a los terminales C1A, C1B, R1 y R2; 4) el seguidor de fuente, que se utiliza para aislar la señal *VCO in* de la carga.

A estos bloques hay que agregar: una entrada de inhibición, que con un nivel lógico alto desconecta el VCO y el seguidor de fuente, para minimizar el con-

sumo en el estado *stand-by*. También está incluido en el chip un zener de aproximadamente 7 V, que se puede utilizar como parte de una fuente regulada para alimentar todo el circuito.

En la fig. 2-53, se esquematiza el funcionamiento del sistema de lazo enganchado en fase. La salida del oscilador controlado por tensión se conecta a una de las entradas del comparador, intercalando un divisor por *N* externo.

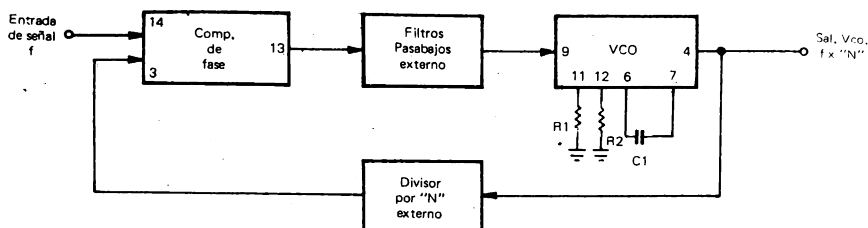


Fig. 2-53: Esquema sinóptico del funcionamiento como multiplicador de frecuencia del PLL.

Si no estuviera este último, es decir, si el lazo fuese directo, la salida del VCO tendería a quedar enganchado en frecuencia y fase con la señal de entrada, que también ingresa al comparador. Esto es debido a que, ante cualquier corrimiento del VCO, se produce una tensión de corrección, conformada por la acción del filtro pasabajos intercalado. Esta tensión actúa sobre el VCO, llevándolo nuevamente a enganche. Al agregar al lazo la etapa divisoria por *N*, la frecuencia de salida del VCO es N veces la señal de entrada, pues a esa frecuencia debe operar el VCO para que la resultante de la división por N iguale a la señal piloto. Se logra así una multiplicación de frecuencias.

El divisor puede estar constituido por divisores programables, como el CD 4522, que permite establecer la división por un número cualquiera, a razón de una década por integrado, que se traduce en multiplicación por esa misma cifra.

La fig. 2-54 muestra el circuito definitivo. El rango de captura del VCO se establece con los valores R6, R8 y C1. El rango establecido para esta aplicación abarca de 1 a 11 kHz aproximadamente. El enganche se visualiza con el LED que cuando esa situación prevalece, brilla a pleno.

Cuando se produce el desenganche, el brillo disminuye notablemente y eventualmente se produce un parpadeo. La frecuencia mínima se ajusta con R8 y la máxima con R6. El rango de multiplicación (X 10, X 100), se selecciona con la llave S1. Por ejemplo, si la señal presente a la entrada es de 50 Hz y se selecciona el paso X 100, se tienen 5000 Hz, que entran en el rango de captura del PLL. Pero si se elige el paso X10, se tienen 500 Hz, claramente fuera de rango. Se vé entonces que hay que elegir convenientemente el paso de multiplicación acorde con la frecuencia, para que el PLL entre en rango. El rango del circuito mostrado abarca de 10 Hz a 1100 Hz. Alterando convenientemente los va-

Fig. 2-54: Circuito del multiplicador de frecuencia.

lores de R8 y R6, puede ampliarse grandemente ese rango, que en el límite superior puede superar el megahertz.

Si se desea ingresar con onda senoidal al circuito, deberá intercalarse un Schmitt trigger a la entrada, para conformar la señal.

COMPONENTES

Semiconductores

U1 : CD4046 integrado PLL

U2; U3 : CD4017 integrado contador/divisor por décadas

Tr1 ; Tr2	: BC548 transistor NPN
D1 ; D2	: 1N4002 diodo de silicio
LED1	: diodo emisor de luz

Resistores 1/4W 5%

R1	: 470 Ω
R2	: 680 Ω
R3; R5	: 470 kΩ
R4	: 47 kΩ
R6	: 500 k preset
R7	: 1 MΩ
R8	: 1 MΩ preset

Capacitores

C1	: 10 nF poliester
C2	: 1 μF 16 V tantalio
C3	: 47 μF 16 V electrolítico
C4	: 100 μF 16 V electrolítico
C5	: 100 nF cerámico disco

Varios

T1, trafo 220 V/9 + 9V 0,3 A; S1 inversor simple miniatura; INT 1, interruptor a palanca; Fus 1, fusible 1/4 A; 3 zócalos DIL 16 patas; 2 fichas banana hembra; cable y ficha de 220 V, etc.

BASE DE TIEMPO PROTEGIDA CONTRA CORTES DE ENERGIA

El circuito que se describe permite sincronizar un reloj digital con la frecuencia de línea (50 Hz), lo que posibilita obtener precisión para largos períodos, y conmutar automáticamente a un oscilador a cristal auxiliar, en caso de corte de corriente, sin perder ningún ciclo en la transferencia. Para lograr esto, se recurre a un circuito de lazo enganchado en fase (PLL), un divisor de frecuencia y una serie de compuertas lógicas.

El circuito integrado de lazo enganchado en fase que se utiliza es el consabido CD4046. Para realizar el oscilador auxiliar, que es el que debe proporcionar la referencia estable de 50 Hz en caso de corte de energía de la red de canalización, se utiliza un integrado National MM5369 EYR, que es un divisor de frecuencia de 17 etapas, lo que permite obtener la frecuencia de referencia a partir de un cristal de cuarzo de 3,579545 MHz, cristal utilizado en TV color, norma NTSC.

Este integrado incluye una etapa que permite elaborar el oscilador, agregando el cristal y algunos pocos componentes más. Una etapa separadora permite controlar la frecuencia de oscilación (salida *Tuner output)*, sin cargar el circuito. La fig. 2-55 muestra el diagrama en bloques de este integrado, construido en un encapsulado DIL de 8 patitas. Existen tres versiones de este integrado: el mencionado MM5369 EYR, que suministra 50 Hz, el MM5369AA, de 60 Hz y el MM5369 EST, de 100 Hz de salida. Todas las versiones utilizan el cristal de norma NTSC mencionado.

El circuito completo se expone en la fig. 2-56. El diodo zener D1 recorta la senoide de 50 Hz de la red y la envía a la entrada de una etapa (U1-a) de un hex-Schmitt trigger CD4584. A la salida de esta etapa se obtiene una señal cuadrada de 50 Hz que se envía a la base del transistor TR-1, a través de un resistor de 100 k, y a una de las entradas de una compuerta (U2-c) de una cuádruple NOR de dos entradas CD4001.

Durante el semiciclo positivo de la señal aplicada a la base de TR-1, este conduce a saturación y descarga el capacitor C1. Cuando la tensión de entrada pasa por cero durante cada semiciclo, el transistor se bloquea y C1 comienza a cargarse a través de R3. Pero como la constante de tiempo de R3/C1 es un tanto más larga que la duración de medio período, el siguiente paso por cero arriba antes de que C1 se cargue lo suficiente como para permitir el cambio de estado del Schmitt trigger U1-b.

Por consiguiente, la salida de U1-b permanece a nivel lógico *1* en tanto arriben pulsos de la línea de 220 V. La salida es complementada por U2-a y enviada a la entrada de la compuerta NOR U2-c, que tiene la otra entrada conectada a los 50 Hz. Se entiende entonces que cuando hay un nivel lógico *1* presente a la

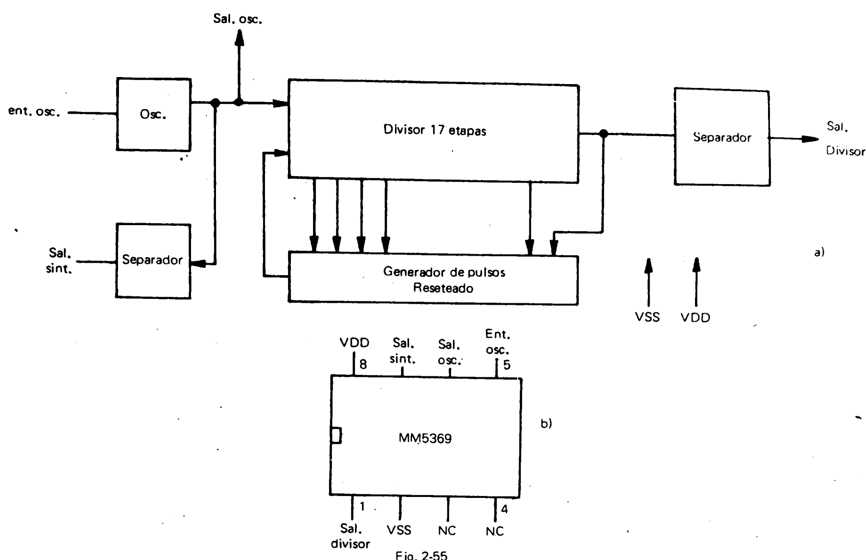


Fig. 2-55: Diagrama en bloques (a) e identificación de terminales (b) del integrado divisor MM 5369.

salida de U1-a, y por consiguiente, un nivel lógico *0* a la salida de U2-a, queda habilitada la compuerta U2-c, y los 50 Hz de la red emergen de esta última compuerta. En cambio, un nivel lógico *0* a la salida de U1-b inhabilita a la compuerta U2-c y la salida de esta última permanece en nivel lógico *0*, habilitando en cambio a la compuerta U2-b y permitiendo así que la base de tiempo alternativa provista por U3 alcance la entrada de U4 mediante la compuerta U2-d. La frecuencia así seleccionada es aplicada al integrado PLL-CD4046. Para una mejor respuesta, el PLL debe ser ajustado de tal manera que la frecuencia superior y la frecuencia inferior debe ubicarse en forma cercana a la frecuencia de referencia (55 y 45 Hz, respectivamente).

Cuando la frecuencia de la red esté activa, el PLL quedará enganchado a la misma, y la salida estará en frecuencia y en fase con aquella. Cuando la frecuencia de la red es interrumpida, por un corte de energía u otras causas, el PLL oscilará libremente hasta que aparezca la frecuencia alternativa, después de un corto período.

Por lo tanto, no se pierde ningún ciclo en el proceso y solo se hace presente un leve meneo en la frecuencia de salida al producirse el cambio. Al restablecerse la tensión de la red, nuevamente la frecuencia de la misma domina la salida del PLL.

Para que el circuito quede alimentado al producirse la interrupción, es necesario disponer de una fuente de continua auxiliar, como por ejemplo una batería recargable de níquel cadmio, que también alimentará al circuito de reloj, in-

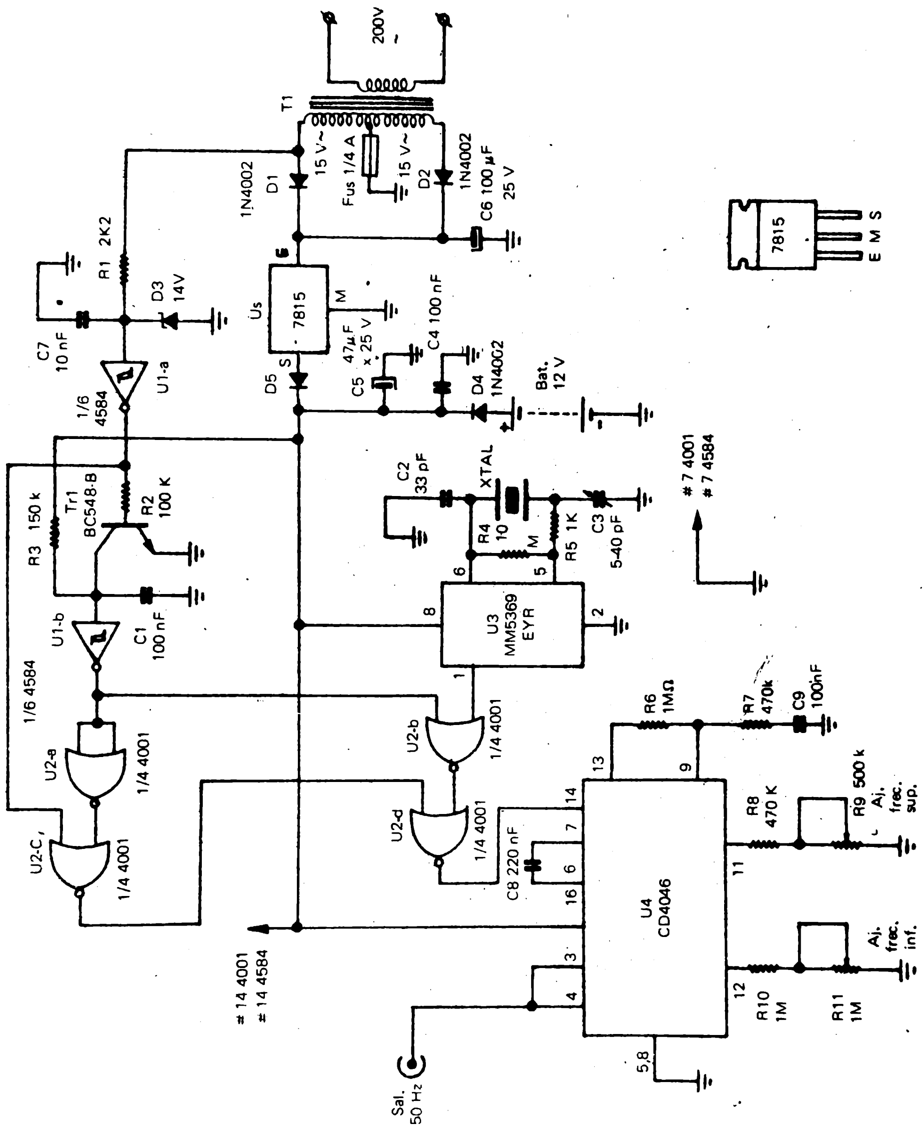


Fig. 2 56: Circuito de la base de tiempo protegida contra cortes de energía

corporado al sistema. Cuando está presente la tensión de línea, el diodo D4 queda polarizado inversamente y la batería queda desconectada.

Cuando se corta la alimentación, la batería alimenta el circuito a través de D4. El dido D5 evita un retroceso de corriente de batería a través del regulador U5. Deberá implementarse un método de carga para la batería auxiliar, para

mantenerla constantemente cargada. Podría consistir esto en un resistor conectado en paralelo con el diodo D4. Para una batería de 2 AH podría utilizarse un resistor de 100 ohms.

El trimmer C3 posibilita el ajuste del oscilador a cristal lo más próximo al valor 3,579545 MHz. Para ello, se conecta un frecuencímetro confiable a la salida *Tuner out-put* de U3. Si el frecuencímetro utilizado no posee suficiente resolución para detectar los últimos dígitos, se procederá al ajuste por aproximación sucesiva, tomando períodos de tiempo muy prolongados.

Así, por ejemplo, si el reloj adelanta, se aumenta un poco la capacidad del trimmer y se disminuye si atrasa.

COMPONENTES

Semiconductores

U1	: CD4584 hex inversor Schmitt trigger
U2	: CD4001 cuádruple NOR de dos entradas
U3	: MM 5369 EYR divisor de frecuencia
U4	: CD4046 integrado PLL
U5	: 7815 regulador de 15 V
Tr1	: BC548B transistor
D1; D2; D4; D5:	1N4002 diodo de silicio
D3	: zener 14 V 0,25 W (Motorola M14Z10)

Resistores 1/4 W 5%

R1	: 2k2	R6; R10	: 1 MΩ
R2	: 100 kΩ	R7; R8	: 470 k
R3	: 150 kΩ	R9	: 500 k preset
R4	: 10 MΩ	R11	: 1 kΩ preset
R5	: 1kΩ		

Capacitores

C1; C4; C9	: 100 nF poliester
C2	: 33 pF NPO plate
C3	: 5-40 pF trimmer
C5	: 47 μF 25 V electrolítico
C6	: 100 μF 25 V electrolítico
C7	: 10 nF plate
C9	: 220 nF poliester

Varios

XTAL, cristal piezoeléctrico de 3,579545 MHz;
T1, trafo 220/15 + 15 V 0,5 A; batería recargable de 12 V;
fusible 1/4 A, etc.

ATENUADOR DE LUZ POR TOQUE

La utilización de un circuito integrado de Siemens permite realizar este dimmer por toque, que puede ubicarse en lugar de las consabidas llaves de luz empotradas. La versatilidad de este componente reside en el hecho que, además de apagar y encender las luces mediante un ligero toque sobre una plaquita metálica, un contacto más prolongado produce una disminución o un aumento progresivo de la luz, como el que se producía en los circuitos más antiguos mediante un potenciómetro.

El dimmer por toque utiliza un circuito integrado de moderno diseño y un triac para realizar la tarea de encender y apagar las luces, cuando se toca la plaquita metálica instalada en lugar del clásico interruptor de pared. Adicionalmente, las lámparas del techo pueden atenuarse o aumentarse hasta cualquier nivel tocando el panel por uno o dos segundos. Debe asegurarse no obstante, que la carga sea puramente resistiva, como en el caso de las lámparas, debiendo descartarse de plano la excitación de motores o lámparas fluorescentes. El circuito incluye un supresor de ruido y un sensado remoto para conmutación de dos o más vías.

Como otros circuitos similares, el dimmer utiliza un triac. Este es controlado por el circuito integrado especializado Siemens S576A, construido en tecnología PMOS, de 8 patitas. El triac es un dispositivo de control de potencia en corriente alterna que puede ser gatillado a conducción para ambas polaridades mediante una señal aplicada a su compuerta.

El triac continúa en conducción hasta que la tensión de alterna decrece a cero, momento en que queda bloqueado. El triac puede ser gatillado a conducción en cualquier punto del semiciclo de la forma de onda de la tensión de línea. El gatillado se produce cada vez que exista un nivel de baja tensión de alguna de las polaridades, entre la componente y el terminal 1 del triac.

La potencia media que pasa por el triac se controla disparando al mismo en tiempos apropiados durante cada semiciclo. Esta técnica de control se denomina control de fase, y una descripción gráfica del mismo se expone en la fig. 2-57.

A medida que el triac se dispara más tempranamente durante el ciclo de alterna, el tiempo de encendido de la lámpara es mas largo y aparece como más luminosa.

Para disparar al triac en el tiempo requerido durante el ciclo de alterna, se hace necesaria alguna forma de detección de fase de la tensión de alterna, así como la provisión de una señal de disparo para gobernar al triac. Esta es la tarea que está a cargo del integrado S 576.

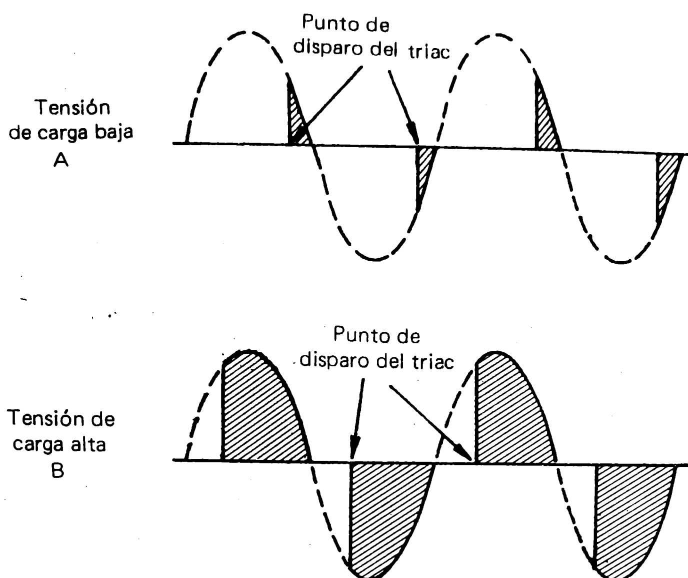


Fig. 2-57: Gatillado de un triac por control de fase.

Cuando ingresa una señal proveniente de la placa de toque al integrado S 576, comienza una serie de análisis por parte del mismo. Señales más breves que 50 ms (milisegundos) son descartadas por el circuito como provenientes de ruido. Señales comprendidas entre 50 y 400 ms de duración se reconocen como controles de actividad desactivado. Una señal de duración mayor de 400 ms se reconoce como control ascendente / descendente de brillo.

La fig. 2-58 muestra el circuito del alternador de luces por toque.

El integrado provee la lógica que decida cuando se requiere la función apagado/encendido o la acción paulatina, y mantiene el nivel de iluminación previamente establecido.

El contador digital ascendente / descendente que controla el brillo en U1 provee la información para controlar el ángulo de fase para el pulso de compuerta aplicado al triac TR1. La señal de encendido establece el ángulo de fase para el máximo brillo, y la señal de apagado establece el ángulo de fase mínimo.

La señal ascendente / descendente de atenuación pone en marcha al contador de brillo que recorre el ciclo *oscuridad-brillo-oscuridad* del ángulo de fase.

Una porción de la línea de alterna es derivada a la entrada de sincronismo de U1, pata 4, el cual provee la señal de sincronismo.

El circuito de lazo enganchado en fase incluido en U1 se utiliza para obtener una frecuencia de 102,4 KHz que es posteriormente utilizado como señal de reloj, por lo que salida del VCO (U1, pata 8) está siempre en sincronismo con la línea.

El triac TR1 se conecta entre el terminal vivo de la línea 220 V y el neutro a través de la o las lámparas controladas y el choke L1 toroidal de 100 μHy.

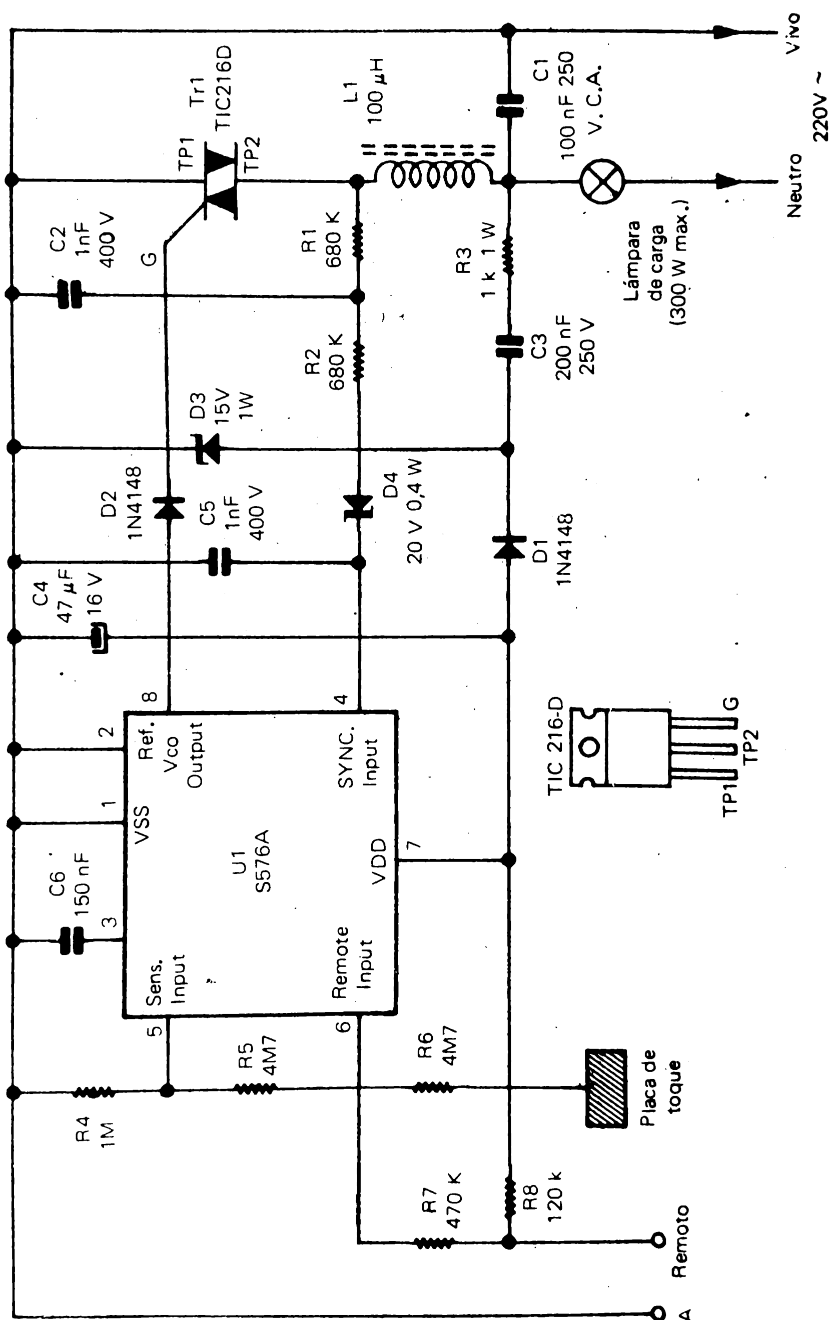


Fig. 2.58 Circuito de atenuador de luz por toque

El choke L1 y el capacitor C1 suprimen las interferencias electromagnéticas debidas a la conmutación rápida del triac TR1.

El triac puede manejar hasta 300 W de carga resistiva sin necesidad de disipador.

La fuente de baja tensión para V1 se obtiene directamente desde la red mediante el capacitor C3 y el resistor R3. Utilizando la reactancia del capacitor para limitar la corriente, en lugar de provocar la caída de tensión mediante un resistor, se reduce grandemente la disipación. Los diodos D1 y D3 operan juntamente con C3 para cargar a C4. El diodo Zener D3 también limita la tensión de la fuente hasta unos 15 V de continua.

La pata 8 de V1 provee el gatillado negativo para el triac Q1. El diodo D2 reduce los picos de tensión positivos que se pueden producir en la compuerta de TR1 cuando es gatillada por U1.

La entrada de sincronismo del PLL en V1, pata 4, se deriva desde el terminal principal 2 de TR1 a través de R1, R2 y el diodo Zener D4, de 20 V, juntamente con los capacitores C2 y C5. Este circuito constituye un filtro que elimina posibles atenuaciones falsas o parpadeos de la lámpara externa causada por variaciones de fase y tensión que ocurren a veces en la línea de canalización de alterna.

Los resistores R4, R5 y R6 aislan la placa de toque de la red, pero proveen una conexión suficiente a la entrada sensora de V1 para activar el dispositivo cuando se toca con el dedo.

La operación de toque aprovecha la resistencia del cuerpo a tierra. Normalmente, la entrada sensora, pata 5 de U1, se mantiene a nivel del potencial vivo de la red de 220 V hasta que se toca la placa, en cuyo caso el nivel baja, lo que produce el gatillado de U1. La resistencia serie total a la línea limita la corriente a un nivel indetectable, seguro, por lo que no se corre peligro de recibir un choque eléctrico (la corriente que pasa por el cuerpo es de tan solo unos 22 microamperes).

El circuito de la llave remota mostrada en la fig. 2-59 se utiliza para conectar al terminal remoto (pata 6) del dimmer.

El agregado de esta entrada remota se hace necesaria pues no es posible extender la línea de la pata 5, ya que la capacidad agregada al circuito puede provocar falsas señales de disparo.

Cuando se toca la placa sensora (fig. 2-59), la caída de tensión en la entrada del circuito remoto carga a C1 hasta que la tensión alcanza el umbral del Zéner D2 (6,8 V) menos la caída directa a través de D3. El transitor TR1 entra en conducción debido a la corriente de base por R4. A su vez, TR1 hace conducir a TR2, llevando la entrada remota a nivel alto.

Cuando se retira el dedo de la placa de sensado remoto, el capacitor C1 se descarga a través de los resistores R3 y R4, se remueve la corriente de base de TR1, que a su vez lo hace con la corriente de base de TR2.

El resistor de base R1 de TR2 asegura el bloqueo de este transitor. Existen algunos retardos de tiempo en el circuito debido a C1 y los resistores asociados.

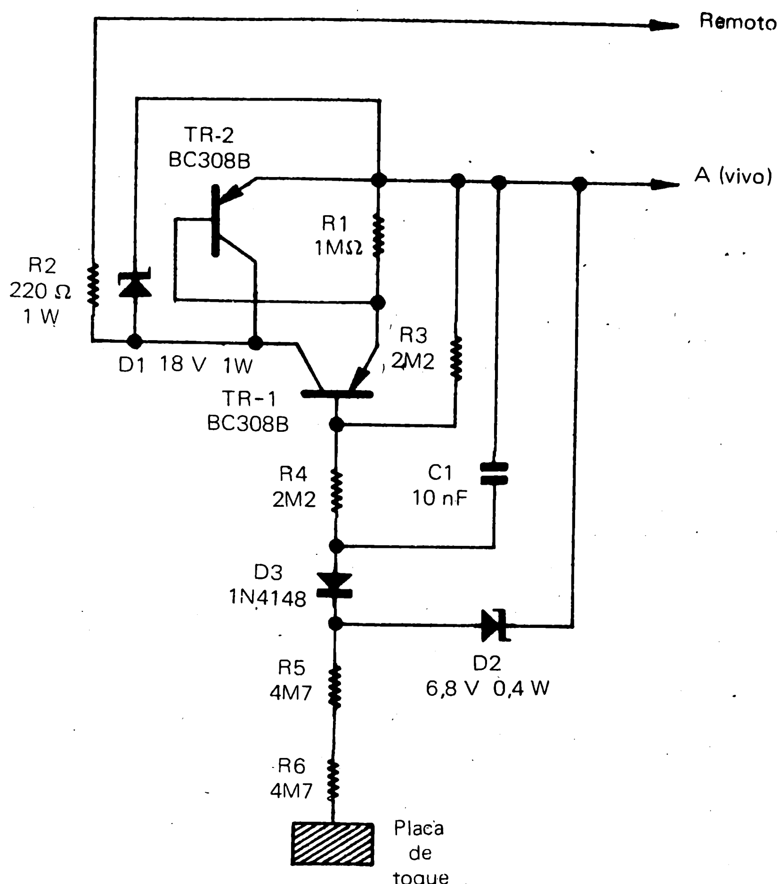


Fig. 2-59: Llave de control remota (por ejemplo, para luz de escalera).

El retardo al activar es de unos 2 milisegundos, y al desactivar, unos 30 milisegundos.

El diodo Zener D1 y el resistor R2 protegen al transistor TR2 en caso de invertir las conexiones *A* y *Remoto.*

El circuito se armará sobre una plaqueta cuyas dimensiones permitan ubicarla sobre la parte interna de las tapas plásticas que cubren los interruptores de pared. La bobina toroidal, se realizará bobinando unas 40 espiras de alambre de diámetro 0,50 mm esmaltado sobre un toroide (anillo) de ferrite de unos 17 mm de diámetro externo, y se lo sujeta a la plaqueta mediante un precinto anclabe de plástico (no debe utilizarse un alambre que forme una espira, pues deterioraría el desempeño del choke).

Debe asegurarse, con un óhmetro, que entre la placa de toque y cualquier otro punto del circuito haya una resistencia aproximada de 10 MΩ. Esto es muy importante, en salvaguarda de la integridad física de los usuarios del sistema.

Además, no debe intentarse reemplazar los dos resistores de 4,7 MΩ por uno solo de 10 MΩ, pues el motivo de poner dos resistores en serie es no exceder el límite máximo de tensión aplicable entre los bornes de cada componente.

Debe asegurarse, durante la conexión a la red, que se respeten las polaridades indicadas (*vivo, neutro)*, pues de lo contrario, el circuito no trabajará correctamente.

COMPONENTES

Semiconductores

D1; D2	: 1N4148
D3	: Zener 15 V - 1 W
D4	: Zener 20 V - 0,4 W
TR1	: triac TIC 216D (400 V 6A)
U1	: S576A circuito integrado dimmer (Siemens)

Resistores 1/2 W ± 5%

R1; R2	: 680 kΩ
R3	: 1kΩ-1W
R4	: 1 MΩ
R5; R6	: 4 M7 (Philips CR52)
R7	: 470 kΩ
R8	: 120 kΩ

Capacitores

C1	: 100 nF 250 VCA poliester metalizado
C2; C5	: 1 μF 400 V poliester metalizado
C3	: 220 nF 250 V disco
C4	: 47 nF 16 V electrolítico
C6	: 150 nF poliester metalizado

Varios

L1, choke 100 μHy (ver texto); placa de toque, etc.

COMPONENTES DE LA LLAVE REMOTA

Semiconductores

TR1; TR2	: BC 308B
D1	: Zener 18 V/ 1 W
D2	: 6,8 V - 0,4 W
D3	: 1N4148

Resistores 1/4 W ± 5%

R1	: 1 ΩM
R2	: 220 Ω 1W
R3; R4	: 2M2
R5; R6	; 4M7

LOS C-MOS EN EL ENTRETENIMIENTO

El circuito de aplicación que se describe a continuación constituye un ejemplo sencillo sobre la enorme variedad de posibilidades que ofrecen los integrados C-MOS en el campo de la electrónica de entretenimiento.

La figura 2-60 muestra el circuito básico que constituye un juego de habilidad factible de presentarse con muchas variantes, como se verá más adelante.

Se utiliza un CD4011 y proporciona una señal audible y otra visual.

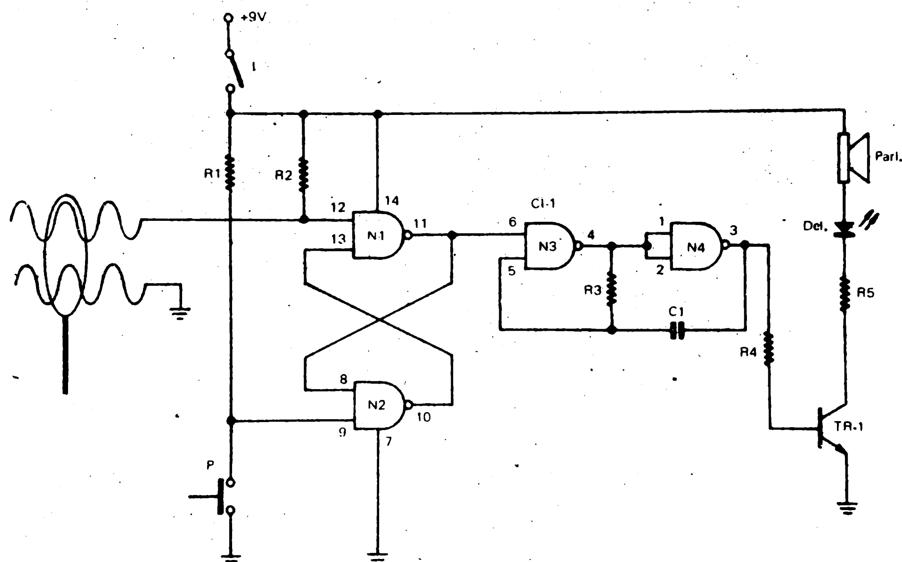


Fig. 2-60: Circuito para activar el "OVNI", propuesto como base del jeugo de habilidad.

Para el caso que nos ocupa se ha decidido por un modelo tipo *juguete*, de modo que resulte interesante no solo para los adultos sino también para los niños: se trata de un OVNI, cuyas antenas constituyen puntos de contacto del juego (ver fig. 2-61). La operación de habilidad consiste en mover de arriba hacia abajo un aro metálico, pasándolo a través del camino sinuoso de las antenas, sin tocar las mismas.

Si el aro toca simultáneamente ambas antenas, se establece una señal sonora y se enciende al mismo tiempo un diodo electroluminiscente. Tanto la señal audible como luminosa no se detienen hasta que no se acciona un pulsador reset.

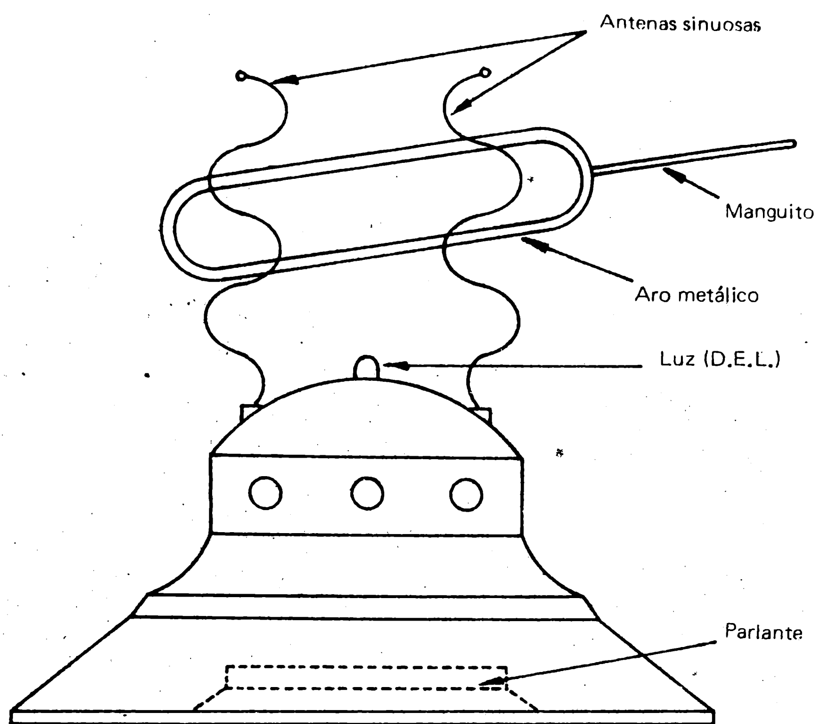


Fig. 2-61: Detalles constructivos del juego.

Las reglas del juego puede establecerlas el propio lector, por ejemplo fijando un tiempo máximo para el recorrido del aro, o bien por número máximo de toques indebidos o cualquier otra condición que permita la competencia entre dos o más jugadores.

El esquema eléctrico muestra la extrema simplicidad del sistema. Las compuertas N1 y N2 forman entre sí un multivibrador biestable, con acoplamiento cruzado entre ellas.

En condiciones normales, la entrada N° 9 posee potencial positivo, ya que ella se conecta a + 9 V a través de R1.

Otro tanto sucede con la entrada N° 12, conectada a + 9 V a través de R2.

Sobre la salida del bistable (terminal N° 11) existe un estado estable que depende de la situación de las entradas anteriores.

Si el aro metálico toca las antenas simultáneamente, la entrada N° 12 pasa al estado bajo y produce el cambio en la salida 11: ella pasa al estado alto o se mantiene en él si ya lo poseía.

Esta situación activa el oscilador formado por las compuertas N3-N4 y sus elementos asociados, R3 - C1.

La salida del tren de pulsos se aplica a un transistor NPN, encargado de excitar el parlante y el diodo electroluminiscente.

Para retornar el circuito al estado de reposo debe actuarse sobre el pulsador P (normalmente abierto), que produce el pasaje al estado bajo de la salida N° 11.

Resulta evidente que la filosofía de este diseño puede aplicarse a cualquier otro sistema donde se quiera establecer el contacto eléctrico entre dos puntos sometidos a diferente potencial. También se puede emplear la misma técnica para usos de alarmas por cierre de contactos.

En lo que respecta al juego propuesto, el parlante puede ubicarse en la base del OVNI y disponer el resto del material en una pequeña placa de circuito impreso.

El pulsador P y el interruptor de alimentación se ubicarán en lugares convenientes del juguete, dejándose librado a criterio del lector su montaje.

COMPONENTES

Semiconductores

TR-1 ; 2A3704
CI-1 : CD4011
DEL : diodo electroluminiscente rojo (5 mm)

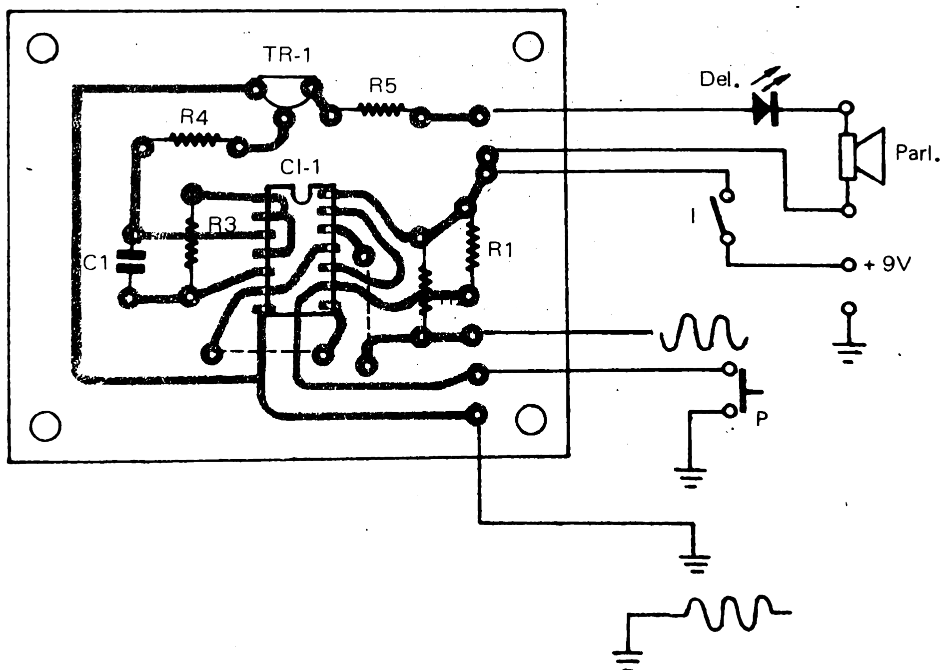


Fig. 2-62: Circuito impreso, para el esquema de la fig. 2-60 (visto por transparencia).

Resistores ± 5% – 1/8 W

R1; R2	: 1 MΩ
R3	: 47 kΩ
R4	: 2 k2
R5	: 10 Ω

Varios

P	: pulsador (norm. abierto)
I	: interruptor

Parlante 8 Ω
circuito impreso adecuado (fig. 2-62)
antenas metálicas (ver texto)
aro metálico (ver texto)
gabinete con *formato juguete* (ver figura)
capacitor 10 nF cerámico.

CAPITULO III

DATOS UTILES DE LA TECNOLOGIA C-MOS

APENDICE I

Equivalencias inglés-castellano de términos comunes

ADDER	: Sumador
ADDRESS	: dirección
AND	: compuerta Y
ARRAY	: conjunto

BIAS	: polarización
BINARY	: binario
BIT	: contracción de binary digit
BOTTOM	: parte inferior
BREAK DOWN	: ruptura
BUFFER	: separador
BUIL IN	: "Como parte de la estructura"
BUS	: barra (línea de transmisión)

CARRY	: acarreo
CLAMP	: fijación de nivel
CLOCK	: reloj
C-MOS	: metal-óxido-semiconductor-complementario
COUNTER	: contador

CHANNEL	: canal

CHIP	: porción pequeña de material semiconductor a partir del cual se elabora un dispositivo de estado sólido

---

DATA	: datos
DATA BUS	: bara de datos (línea de transmisión)
DECODER	: decodificador
DELAY	: retardo
DEPLETION	: empobrecimiento, agotamiento
DEVICE	: dispositivo
DISPLAY	: presentador visual

DRAIN	: drenaje
DRIFT	: deriva, desviación
DRIVER	: excitador
DUTY CICLE	: ciclo de trabajo (normalmente se refiere a la relación ON/OFF de una señal rectangular)
DYNAMIC	: dinámica/o

ENABLE	: habilitación
ENCODER	: codificador
ENHACEMENT	: refuerzo, enriquecimiento
ENVELOPE	: envolvente
ENVIRONEMENT	: medio ambiente
EPROM	: Erasable Programable Memory (memoria programable borrable)

FAN OUT	: cargabilidad de salida
FAST	: rápido
FEED BACK	: realimentación
FET	: transistor de efecto de campo
FLIP-FLOP	: biestable

FORWARD	: hacia adelante, directo, (habitualmente se refiere al sentido de conducción de las junturas de estado sólido).

GAIN	: ganancia
GATE	: compuerta

HARDWARE	: utilería (soporte físico de los sistemas de computación
HEX	: séxtuple
HIGH	: alto
HOLD	: retención

INPUT	: entrada
INTEGRATED	: integrado
INTERFASE	: interconexión entre dos equipos afectados a funciones distintas
INVERTER	: inversor

KEYBOARD	: teclado

LATCH	: cerrojo
LAYER	: capa, estrato
LAYOUT	: disposición, trazado
LEVEL	: nivel
LIGHT EMITTING	: emisor de luz
LINEAR	: lineal
LOAD	: carga
LOGIC	: lógica
LOW	: bajo

OPEN	: abierto
OPEN COLLECTOR	: colector abierto
OR	: compuerta O
OUTPUT	: salida
OVER-FLOW	: desborde

PACKAGE	: encapsulado
PATTERN	: patrón
PERIPHERAL	: periférico
PHASE	: fase
PIN	: terminal
PLA	: Programable Logic Array (Conjunto de lógica programable)
POWER	: potencia
POWER SUPPLY	: fuente de alimentación
PULSE	: pulso

QUAD	: cuádruple

RAM	: Random Access Memory (memoria de acceso aleatorio)
RANDOM	: aleatorio
RANGE	: rango
RATING	: régimen, especificación
RECOVERY	: recuperación
REGISTER	: registro
REPLACEMENT	: reemplazo, alternativa
RESET	: restablecimiento
RIPPLE	: rizado, zumbido residual
ROM	: Read Only Memory (memoria de lectura única)
RULE	: regla

SAMPLE	: muestreo
SHEET	: hoja, placa
SHIFT	: desplazamiento
SHORT	: corto, reducido
SHOT	: disparo, descarga
SILICON	: silicio
SINGLE	: simple, único
SINK	: sumidero, absorción
SLOPE	: pendiente
SLOW	: lento
SOFTWARE	: elementos de programación en computación
SOURCE	: fuente
SPEED	: velocidad
STAGE	: etapa
STATIC	: estática/o
STORAGE	: almacenamiento
STRAY CAPACITANTE	: capacidad parásita o dispersa
SURFACE	: superficie
SWITCH	: conmutador, llave
SYNCHRONOUS	: sincrónico

THRESHOLD	: umbral
TIME	: tiempo
TIMER	: temporizador
TOGETHER	: simultáneamente
TOP VIEW	: vista de arriba
TRIGGER	: disparador, gatillador
TRUTH TABLE	: tabla de verdad
TTL	: Lógica Transistor-Transistor

VCO	: oscilador controlado por tensión

WAFFER	: oblea de silicio, de la que se obtiene una determinada cantidad de *chips*
WAVE	: onda
WAVEFORM	: forma de onda

WIDE	: ancho
WIRED	: cableado
WORD	: palabra

APENDICE II

CIRCUITOS INTEGRADOS C-MOS (Aplicaciones corrientes)

CODIGO	FUNCION
4000	Compuerta NOR doble de 3 entradas mas inversor
4001	Cuáduple compuerta NOR de 2 entradas
4001B	Cuádruple compuerta NOR de 2 entradas con separadores
4002	Compuerta NOR doble de 4 entradas
4002B	Compuerta NOR doble de 4 entradas con separadores
4006B	Registro de desplazamiento estático de 18 etapas
4007	Par complementario doble más inversor
4008B	Sumador de 4 bits
4Q09	Hex inversor con separadores
4010	Hex separador (no-inverosr)
4011	Cuádruple comp. NAND de dos entradas
4011B	Cuádruple compuerta NAND de 2 entradas
4012	Doble compuerta NAND de 4 entradas
4012B	Doble compuerta NAND de 4 entradas con separadores
4013B	Doble biestable tipo D
4014B	Registro de desplazamiento estático de 8 etapas
4015B	Registro de desplazamiento estático doble de 4 bits
4016B	Cuádruple conmutador bilateral
4017B	Contador/divisor por décadas con 10 salidas decodificadas
4018B	Contador/divisor por N, preajustable
4020B	Contador/divisor binario de 14 etapas
4021B	Registro de desplazamiento estático de 8 etapas

4022B	Contador/divisor por 8, con 8 salidas decodificadas
4023	Triple compuerta NAND de 3 entradas
4023B	Triple compuerta NAND de 3 entradas con separador
4024B	Contador/divisor binario de 7 etapas
4025	Triple compuerta NOR de 3 entradas
4025B	Triple compuerta NOR de 3 entradas con separador
4027B	Doble biestable tipo J-K
4028B	Decodificador BCD a decimal
4029B	Contador binario/de décadas preajustable, ascendente/ descendente
4030	Cuádruple compuerta O-Exclusiva
4031B	Registro de desplazamiento estático de 64 etapas
4034B	Registro de 8 etapas TRI-STATE bidireccional paralelo/serie, entrada/salida
4035B	Registro de desplazamiento de 4 bits entrada paralelo/salida paralelo
4040B	Contador binario de 12 etapas
4041	Cuádruple separador real/complementario
4042B	Cuádruple cerrojo D con reloj
4043B	Cuádruple cerrojo NOR R/S TRI-STATE
4044B	Cuádruple cerrojo NAND R/S TRI-STATE
4046B	Lazo enganchado en fase
4047B	Multivibrador Monostable/Astable de bajo consumo
4048B	Compuerta de 8 funciones - 8 entradas expandible TRI-STATE
4049	Héxuple inversor
4050B	Hex separador no-inversor
4051B	Multiplexadores/demultiplexadores analógicos

4052B	Multiplexadores/demultiplexadores analógicos
4053B	Multiplexadores/demultiplexadores analógicos
4060B	Contador binario de 14 etapas
4066B	Cuádruple conmutador bilateral
4069	Héxuple inversor
4070B	Cuádruple compuerta O-Exclusiva de 2 entradas
4071B	Cuádruple compuerta) de 2 entradas con separador
4072B	Doble compuerta O de 4 entradas con doble separador
4073B	Triple compuerta AND de 3 entradas con doble separador
4075B	Doble compuerta O de 3 entradas con separador
4076B	Cuádruple biestable tipo D TRI-STATE
4081B	Cuádruple compuerta AND de 2 entradas con separador
4082B	Doble compuerta AND de 4 entradas con separador
4Q83	
4089B	Multiplicador proporcional binario
4093B	Cuádruple NAND Schmitt Trigger de 2 entradas
4094B	Registro de desplazamiento/almacenamiento de 8 etapas
4099B	Cerrojos direccionables de 8 bits
40106B	Hex. Schmitt Trigger
40160B	Contador de décadas con aclarado asincrónico
40161B	Contador binario con aclarado asincrónico
40162B	Contador de décadas con aclarado sincrónico
40163B	Contador binario con aclarado sincrónico
40174B	Hex biestable tipo D
40175B	Cuádruple biestable tipo D
40192B	Contador de décadas sincrónico de 4 bits ascendente/descendente

40193B	Contador binario sincrónico de 4 bits ascendente/descendente
4503B	Hex separador no-inversor TRI-STATE
4510B	Contador BCD ascendente/descendente
4511B	Cerrojo decodificador/excitador, BCD a 7 segmentos
4512B	Selector de datos de 8 canales
4514B	Decodificador de 4 a 16 líneas *latcheado* de 4 bits
4015B	Decodificador de 4 a 16 líneas *latcheado* de 4 bits
4516B	Contador binario ascendente/descendente
4518B	Contador sincrónico BCD dual
4519B	Selector AND/OR de 4 bits
4520B	Contador sincrónico doble ascendente
4522B	Contador BCD de 4 bits, divisor por N programable
4526B	Contador binario de 4 bits, divisor por N programable
4527B	Multiplicador proporcional BCD
4528B	Doble multivibrador monostable
4529B	Selector de datos analógico, doble de 4 canales o simple de 8 canales
4538B	Doble multivibrador monostable
4541B	Temporizador programable con oscilador
4543B	Cerrojo / decodificador /excitador BCD a 7 segmentos para displays de cristal líquido
4584B	Hex Schmitt Trigger
4618	Doble contador sincrónico de 4 bit
4620	Doble contador binario sincrónico de 4 bit
4523B	Doble cerrojo direccionable de 4 bits

4724B	Cerrojo direccionable de 8 bits

APENDICE III

CIRCUITOS INTEGRADOS C-MOS PARA FUNCIONES ESPECIALES

CODIGO	TIPO	
LS7210	P-MOS LSI	Temporizador digital programable
MM74C926		Contador de 4 dígitos con sal. excitación a 7 segmentos
MM74C90		Contador divisor de décadas de 4 bits
MM53200N	MOS	transm-recep. con modulación por codificación de pulsos (PCM)
MM5451N		registro de desplazamiento y excitador de LEDS
TDA1195	P-MOS	Conmutador analógico con excitador (2 vías)
MM5050	C-MOS	Conmutador analógico con excitador (2 vías)
MC14529	C-MOS	Multiplexor 8 canales (± 7,5 V)
SN75491	MOS/LED	Exc. 4 segmentos (ánodo)
SN75492	MOS/LED	Display 6 dígitos con excit. y decodificador

MC14495	C-MOS	Display 7 segmento dec/binario
SAB3211	C-MOS bipolar	Display 6 segmentos dec/binario
MC3480	MOS	Excitador de memoria MOS dinámica
MC3459	N-MOS	Excitador de memoria cuádruple
DS3675	MOS	Excitador de memoria. Latch hexagonal para memorias MOS
DS3677	MOS	Registro cuádruple de memorias MOS
XR2203		Excitador de memoria, 7 canales entrada CMOS/TTL
MC1411		Excitador de memoria. 7 canales entrada MOS/TTL
MC14560	C-MOS	Sumador NBCD (decimal - binario - natural - codificado) - función aritmética
MC14561		Complementador de novenas (función aritmética)
MC14581		Unidad lógica - 4 bits (función aritmética)
MC14585		Comparador de magnitud - 4 dígitos (función aritmética)
MC14582		Bloque de transporte (función aritmética)

MC14534		Contador en décadas - Salida multiplexada
MC14568		Contador programable y comparador de fase
74C925		Contador en décadas (4). Salida multiplexada
ICM 7217		Contador de 4 dígitos. Latch excitador de display
MC14599		Latch - entrada de datos bidireccionales, dirigible 8 dígitos
MC14597		Contador. Entradas aumentadas. Salida paralela, 8 dígitos
MC14517		Registro de desplazamiento estático, dual, 64 dígitos
MC14194		Registro de desplazamiento bidireccional - 4 bits
MC14539		Multiplexor digital dual de 4 canales
MC14558		Decodificador BCD - 7 segmentos
MC14508		Conversor de pulso binario (telefonía)
MC14409		Conversor de pulso binario (telefonía)
MC14521		oscilador 2, 24 - divisor

MC14541		oscilador / divisor
MC14536		divisor 2 a 2,24, temporizador programable
MC14583		Detector Schmitt dual
MC14419		Codificador binario de teclado 2/8
MC14490		Eliminador de estridencia, 6 contactos
MC14531		Paridad 3 de 12 bits

APENDICE IV

MICROPROCESADORES (CPU) - UNIDAD CENTRAL DE PROCESOS

CODIGO	ESTRUCTURA	TIPO	N° DE PINS	TENSION ALIMENT. (V)	DISIPACION mW	FABRICA
AM9080	7 bits	N-MOS	40	± 5,12	830	AMD
MK3880	8 bits	N-MOS	40	5,12	1100	MOSTEK
Z80	8 bits	N-MOS	40	± 5,12	1000	SGS - ATES
DP8080	8 bits	N-MOS	40	± 5,12	780	NATIONAL
AMD9085	8 bits	N-MOS	40	± 5,12	830	
MC6800P	8 bits	N-MOS	40	5	600	MOTOROLA
DP8085	8 bits	N-MOS	40	± 5,12	830	NATIONAL
MC6802P	8 bits	N-MOS	40	5	600	MOTOROLA
MC14500B	1 bit	C-MOS		3-18	Unidad de control industrial - ejecuta una instrucción por ciclo de reloj. Almacenamiento de programa con una memoria RAM externa.	

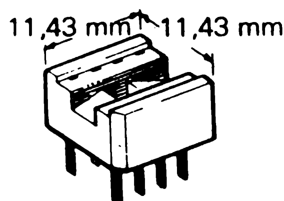
APÉNDICE V

MEMORIAS

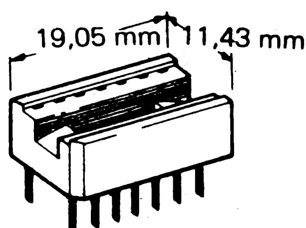
CODIGO	CATEGORIA	ORGANIZACION O FORMATO	ENTRADA/TIPO LOGICA	TIEMPO DE ACCESO (MAX)	TENSION ALIM.(V)	OPERACION O SALIDA
MM5290-3	RAM DINAM	16384 x 1	N-MOS	200 nanoseg.	± 5,12	TS
MCM6604	RAM DINAM	4096 x 1	N-MOS	350 nanoseg.	± 5,12	TS
TMS4116-20	RAM DINAM	16384 x 1	N-MOS	200 nanoseg.	± 5,12	TS
MM5290-14	RAM DINAM	16384 x 1	N-MOS	350 nanoseg.	± 5,12	TS
AM9124	RAM ESTAT	1024 x 4	N-MOS	450 nanoseg.	5	TS
IM6508	RAM ESTAT.	1024 x 1	C-MOS	300 nanoseg.	5	TS
AM6551	RAM ESTAT.	256 x 4	C-MOS	180 nanoseg.	10	TS
MM5559	REG. DESPLAZAM.	33 x 1	P-MOS	0,25 frec. Hz	- 10, - 20	SP

APENDICE VI

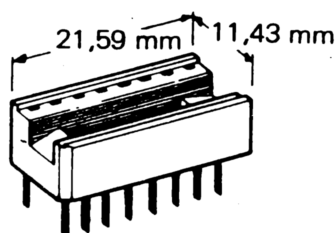
FORMATO Y DIMENSIONES TIPICAS DE ZOCALOS PARA CIRCUITOS INTEGRADOS



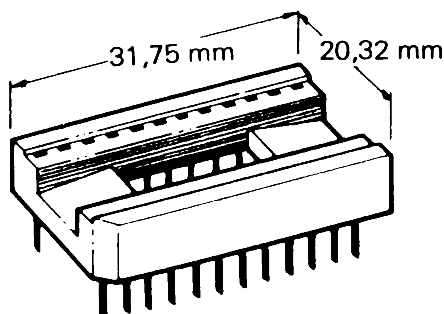
4 terminales por lado (8 term.)



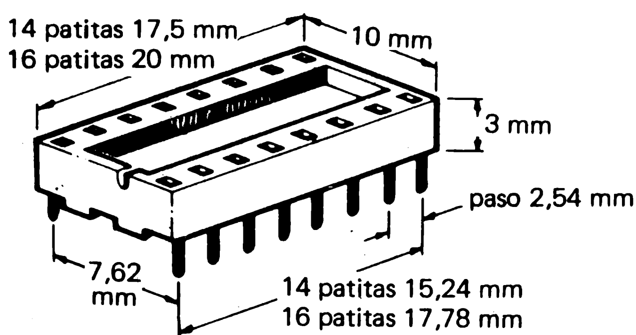
7 terminales por lado (14 term.)



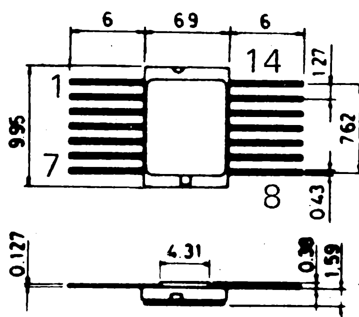
8 terminales por lado (16 term.)

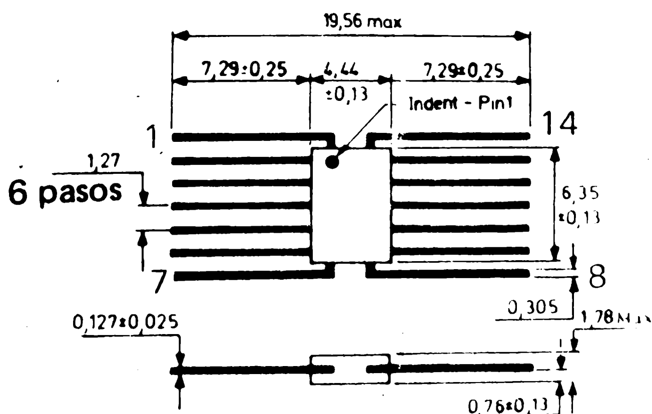


12 terminales por lado (24 term.)



FORMATOS ESPECIALES

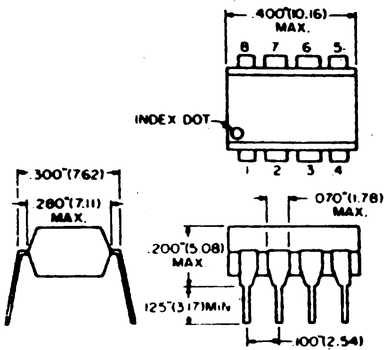




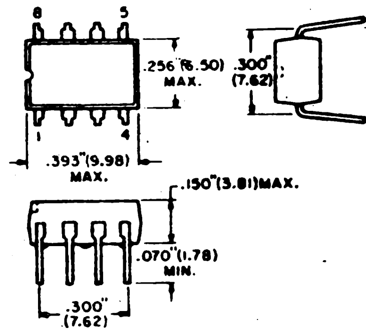
APENDICE VII

FORMATO Y DIMENSIONES DE ENCAPSULADOS

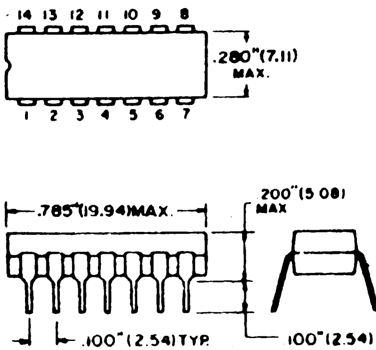
8-Pin DIP



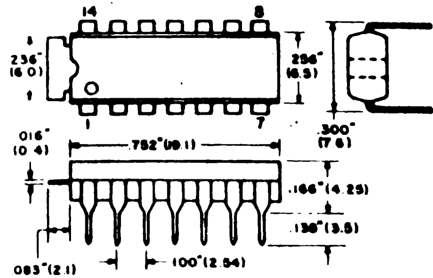
8-Pin DIP



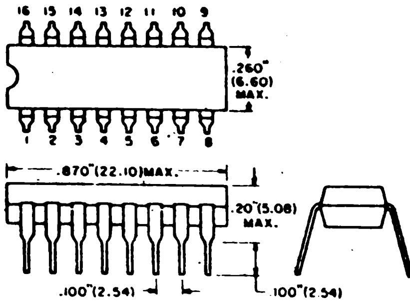
14-Pin DIP



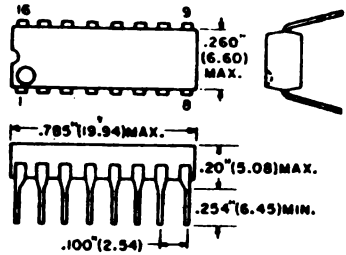
14-Pin DIP-ET



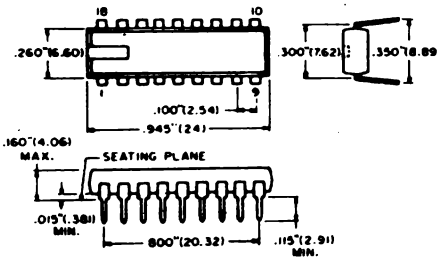
16-Pin DIP



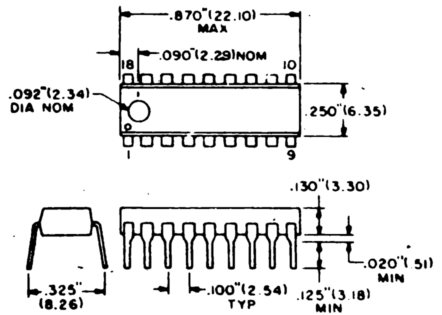
16-Pin DIP



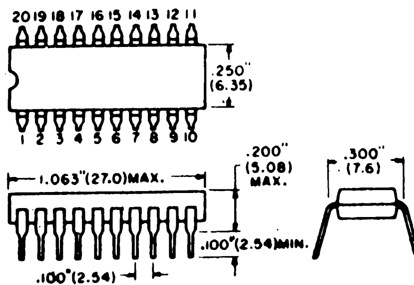
18-Pin DIP



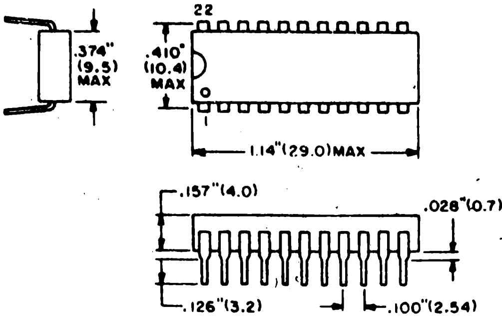
18-Pin DIP



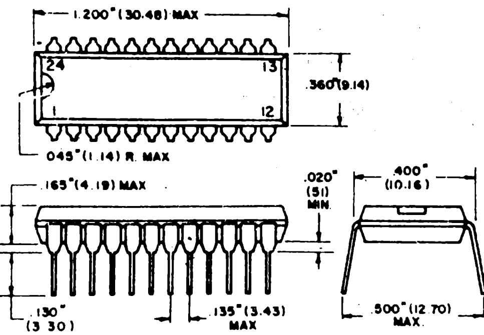
20-Pin DIP



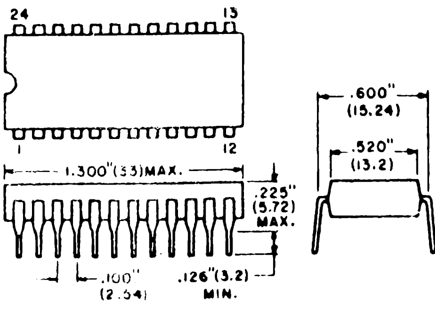
22-Pin DIF



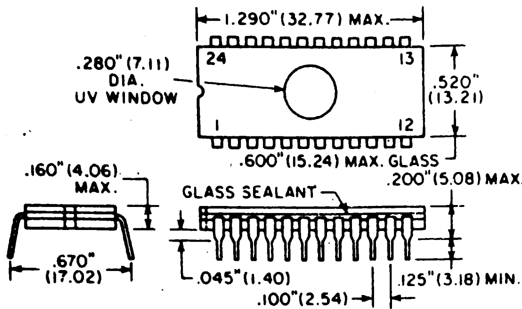
24-Pin DIP



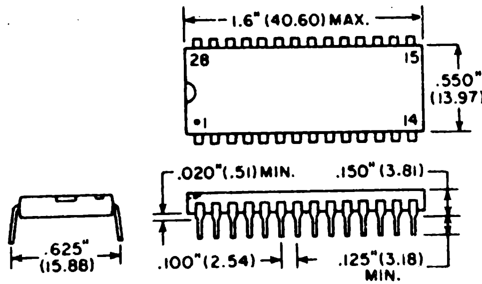
24-Pin DIP



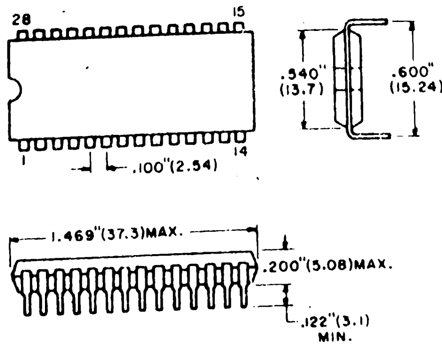
24-Pin DIP



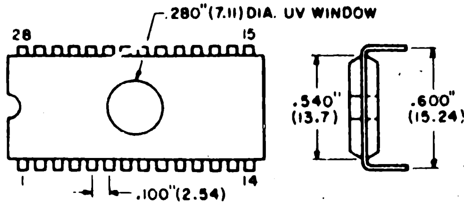
28-Pin DIP

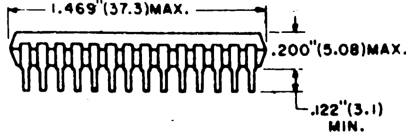


28-Pin DIP

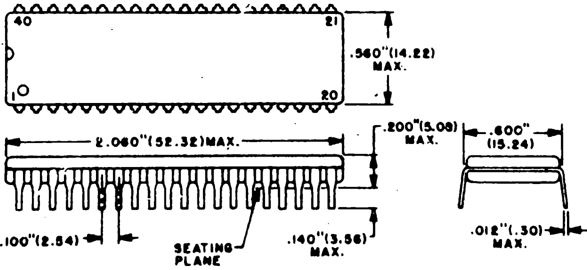


28-Pin DIP





40-Pin DIP

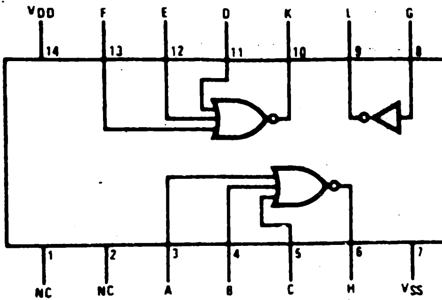


APENDICE VIII

ESTRUCTURA INTERNA DE CIRCUITOS INTEGRADOS C-MOS

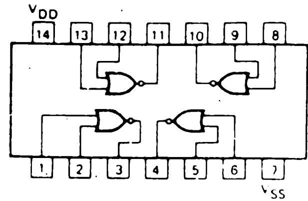
4000 14-Pin DIP

Dual 3-Input NOR Gate Plus Inverter,
V_{DD} = 3 V to 15 V



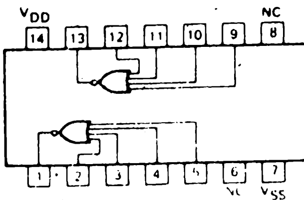
4001B 14-Pin DIP

Quad 2-Input NOR Gate,
V_{DD} = 3 V to 15 V



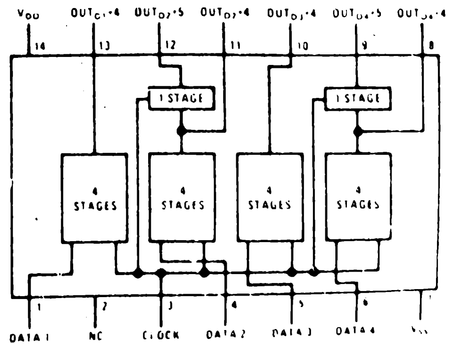
4002B 14-Pin DIP

Dual 4-Input NOR Gate,
V_{DD} = 3 V to 15 V



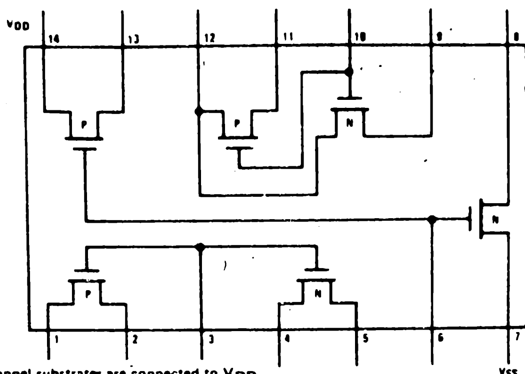
4006B 14-Pin DIP

18-Stage Static Shift Register,
V_{DD} = 3 V to 15 V



4007 14-Pin DIP

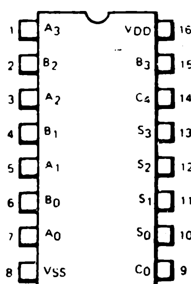
Dual Complementary Pair with Inverter, $V_{DD} = 3$ V to 15 V



Note: All P-channel substrates are connected to V_{DD} and all N-channel substrates are connected to V_{SS}.

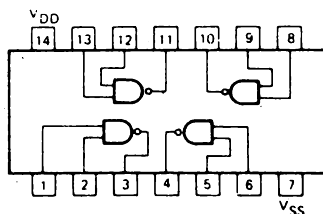
4008B 16-Pin DIP

4-Bit Full Adder, $V_{DD} = 3$ V to 15 V



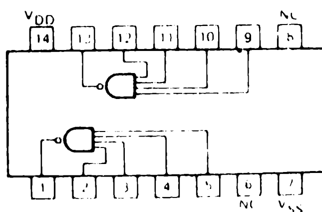
4011B 14-Pin DIP

Quad 2-Input NAND Gate, $V_{DD} = 3$ V to 15 V



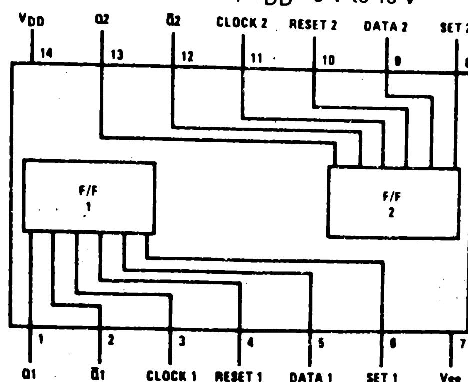
4012B 14-Pin DIP

Dual 4-Input NAND Gate, $V_{DD} = 3$ V to 15 V



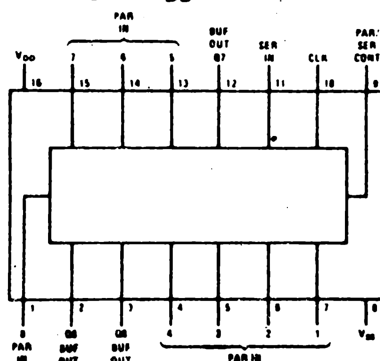
4013B 14-Pin DIP

Dual "D" Flip-Flop with Set/Reset, V_{DD} = 3 V to 15 V



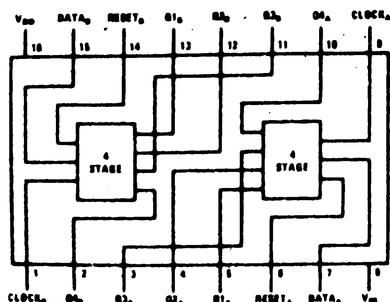
4014B 16-Pin DIP

8-Stage Static Shift Register, V_{DD} = 3 V to 15 V



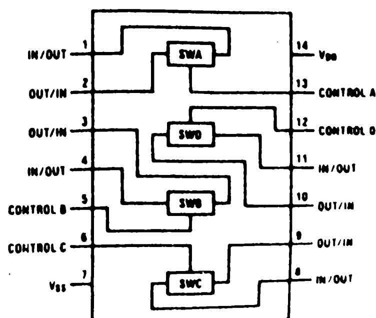
4015B 16-Pin DIP

Dual 4-Stage Static Shift Register, V_{DD} = 3 V to 15 V



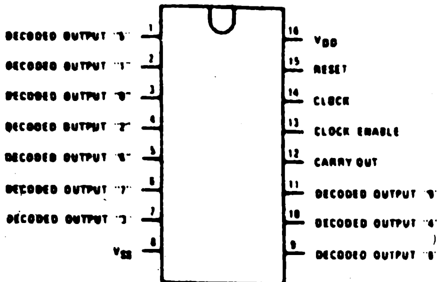
4016B 14-Pin DIP

Quad Bilateral Switch, V_{DD} = 3 V to 15 V



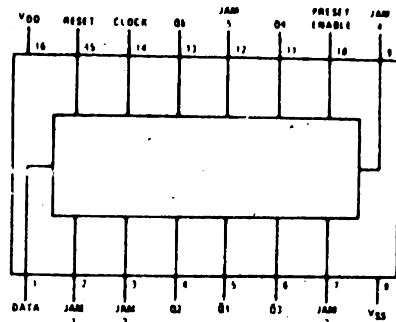
4017B 16-Pin DIP

Decade Counter/Divider, V_{DD} = 3 V to 15 V



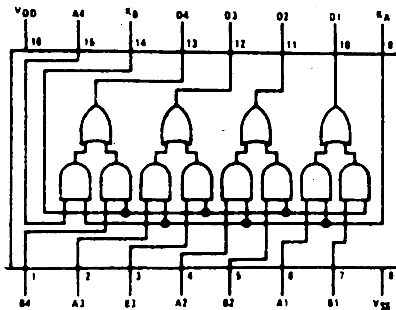
4018B 16-Pin DIP

Presettable Divide-by-"N" Counter, V_{DD} = 3 V to 15 V



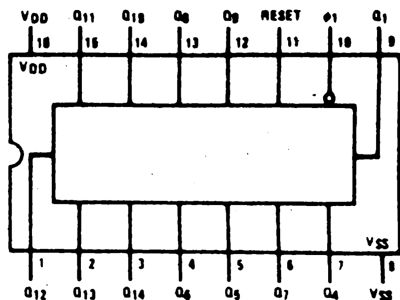
4019B 16-Pin DIP

Quad AND/OR Select Gate, V_{DD} = 3 V to 15 V



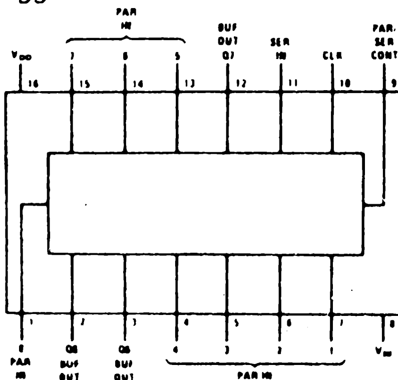
4020B 16-Pin DIP

14-Stage Binary/Ripple Counter, V_{DD} = 3 V to 15 V



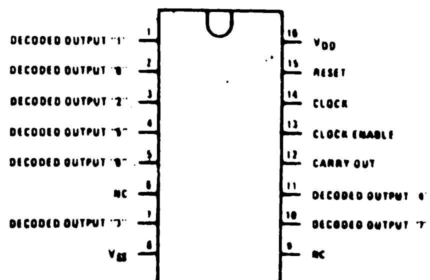
4021B 16-Pin DIP

8-Stage Serial to Parallel Shift Register, V_{DD} = 3 V to 15 V



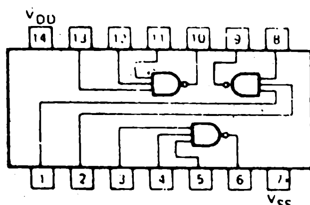
4022B 16-Pin DIP

Counter/Divider, V_{DD} = 3 V to 15 V



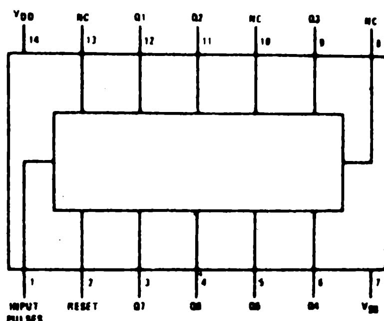
4023B 14-Pin DIP

Triple 3-Input NAND Gate, $V_{DD} = 3$ V to 15 V



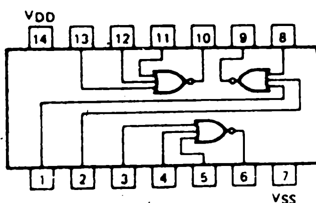
4024B 14-Pin DIP

7-Stage Binary Counter, $V_{DD} = 3$ V to 15 V



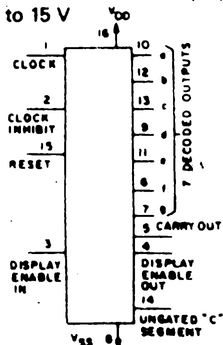
4025B 14-Pin DIP

Triple 3-Input NOR Gate, $V_{DD} = 3$ V to 15 V



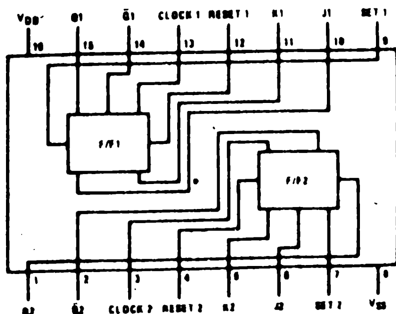
4026B 16-Pin DIP

Decade Counter/Divider with Display Enable, $V_{DD} = 3$ V to 15 V



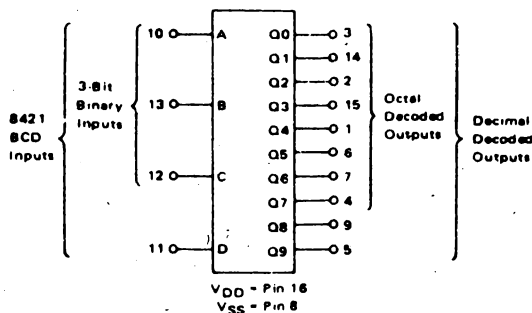
4027B 16-Pin DIP

Dual J-K Master-Slave Flip-Flop, $V_{DD} = 3$ V to 15 V



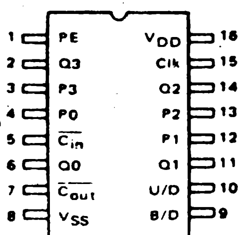
4028B 16-Pin DIP

BCD-to-Decimal Decoder, $V_{DD} = 3$ V to 15 V



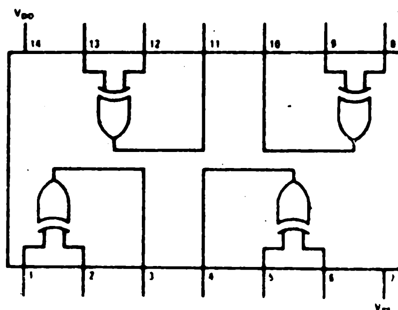
4029B 16-Pin DIP

Presettable Up/Down Counter, $V_{DD} = 3$ V to 15 V



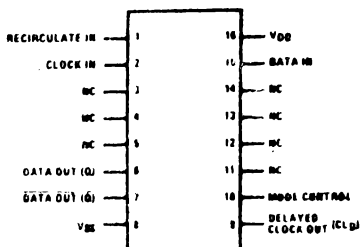
4030B 14-Pin DIP

Quad Exclusive OR Gate, $V_{DD} = 3$ V to 15 V



4031B 16-Pin DIP

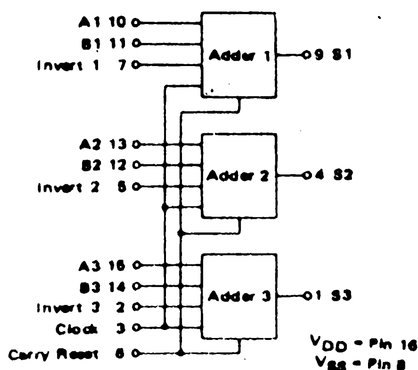
64-Stage Static Shift Register, $V_{DD} = 3$ V to 15 V



4032B – Positive Logic

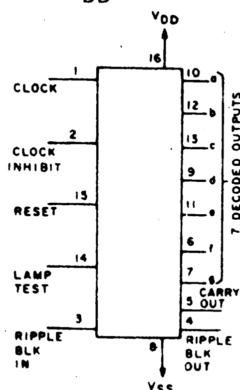
4038B – Negative Logic 16-Pin DIP

Triple Serial Adders, $V_{DD} = 3$ V to 15 V



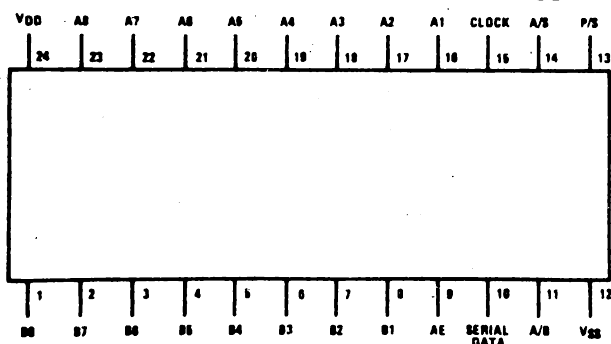
4033B 16-Pin DIP

Decade Counter/Divider, $V_{DD} = 3$ V to 15 V



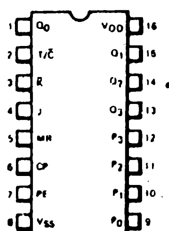
4034B 24-Pin DIP

8-Stage Static Bi-Directional Parallel/Serial Input/Output Bus Register, $V_{DD} = 3$ V to 15 V



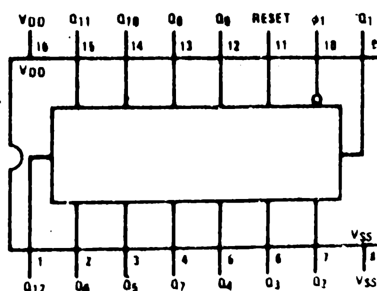
4035B 16-Pin DIP

4-Stage Parallel In/Parallel Out Shift Register, $V_{DD} = 3$ V to 15 V



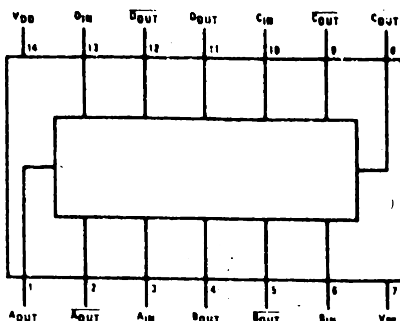
4040B 16-Pin DIP

12-Stage Binary/Ripple Counter, $V_{DD} = 3$ V to 15 V



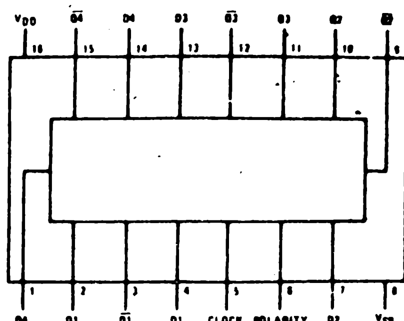
4041 14-Pin DIP

Quad True/Complement Buffer, V_{DD} = 3 V to 15 V



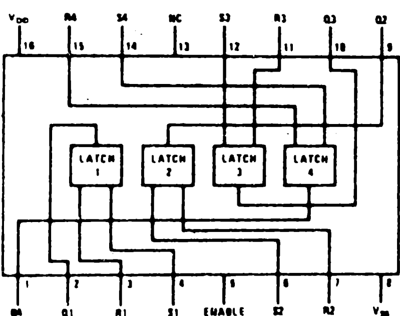
4042B 16-Pin DIP

Quad-Clocked "D" Latch, V_{DD} = 3 V to 15 V



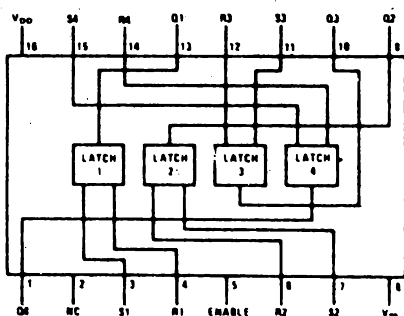
4043B 16-Pin DIP

Quad 3-State NOR R/S Latch, V_{DD} = 3 V to 15 V



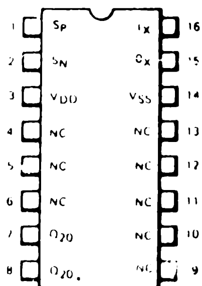
4044B 16-Pin DIP

Quad 3-State NAND R/S Latch, V_{DD} = 3 V to 15 V



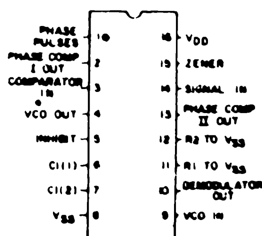
4045B 16-Pin DIP

21-Stage Counter, V_{DD} = 3 V to 15 V



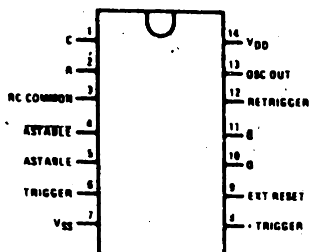
4046B 16-Pin DIP

CMOS-Phase Locked Loop, V_{DD} = 3 V to 15 V



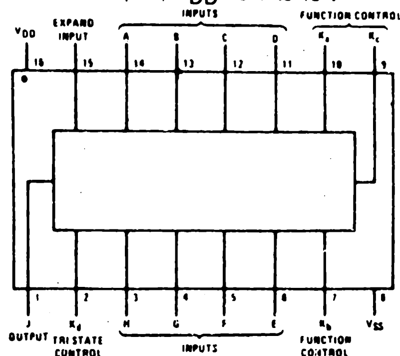
4047B 14-Pin DIP

Monostable/Astable Multivibrator, V_{DD} = 3 V to 15 V



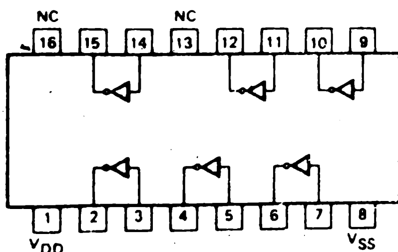
4048B 16-Pin DIP

Multifunction Expandable 8-Input Gate (3-State Output), V_{DD} = 3 V to 15 V



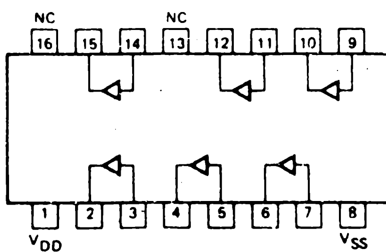
4049 16-Pin DIP

Hex Buffer/Converter (Inverting), V_{DD} = 3 V to 15 V



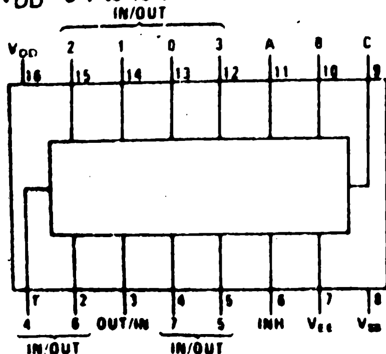
4050B 16-Pin DIP

Hex Buffer/Converter (Non-Inverting), V_{DD} = 3 V to 15 V



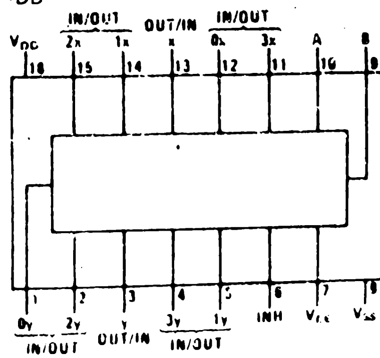
4051B 16-Pin DIP

Single 8-Channel Multiplexer, V_{DD} = 3 V to 15 V



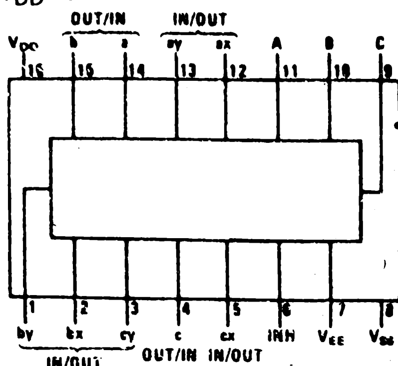
4052B 16-Pin DIP

Differential Dual 4-Channel Multiplexer, V_{DD} = 3 V to 15 V



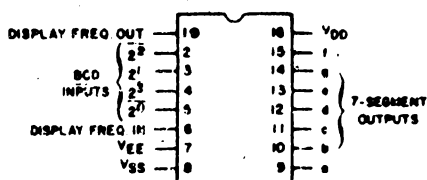
4053B 16-Pin DIP

Triple 2-Channel Analog Multiplexer, V_{DD} = 3 V to 15 V



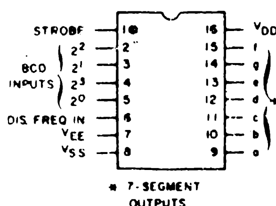
4055B 16-Pin DIP

BCD-to-7 Segment Decoder/Driver, V_{DD} = 3 V to 15 V



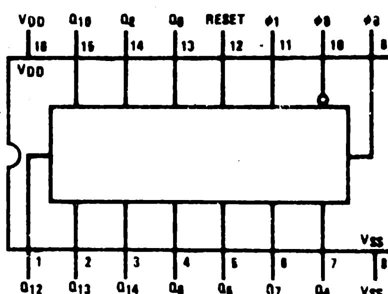
4056B 16-Pin DIP

BCD-to-7 Segment LCD Decoder/Driver with Strobe Latch, V_{DD} = 3 V to 15 V



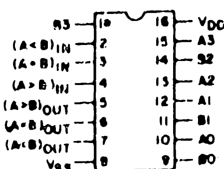
4060B 16-Pin DIP

14-Stage Ripple-Carry Binary Counter/Divider and Oscillator, V_{DD} = 3 V to 15 V



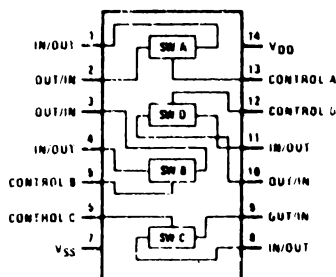
4063B 16-Pin DIP

4-Bit Magnitude Comparator, V_{DD} = 3 V to 15 V



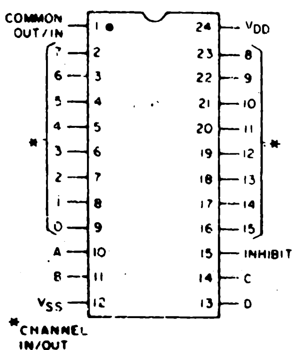
4066B 14-Pin DIP

Quad Bilateral Switch, V_{DD} = 3 V to 15 V



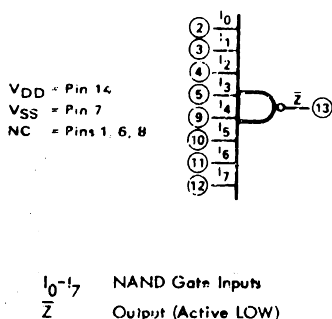
4067B 24-Pin DIP

16-Channel Multiplexer/Demultiplexer, V_{DD} = 3 V to 15 V



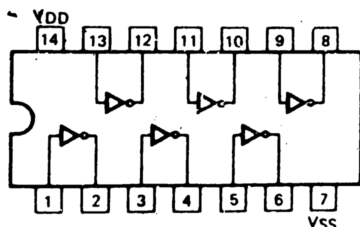
4068B 14-Pin DIP

8-Input NAND Gate, V_{DD} = 3 V to 15 V



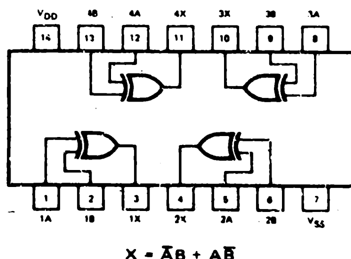
4069 14-Pin DIP

Hex Invarter, V_{DD} = 3 V to 15 V



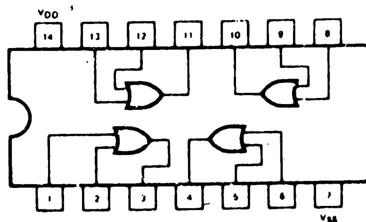
4070B 14-Pin DIP

Quad Exclusive OR Gate, V_{DD} = 3 V to 15 V



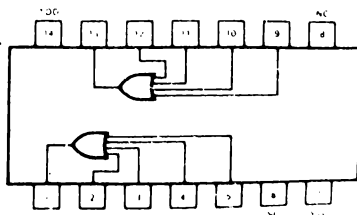
4071B 14-Pin DIP

Quad 2-Input OR Gate, V_{DD} = 3 V to 15 V



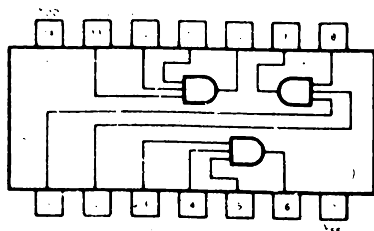
4072B 14-Pin DIP

Dual 4-Input OR Gate, V_{DD} = 3 V to 15 V



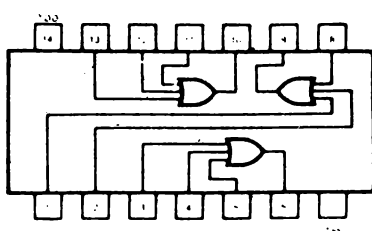
4073B 14-Pin DIP

Triple 3-Input AND Gate, $V_{DD} = 3$ V to 15 V



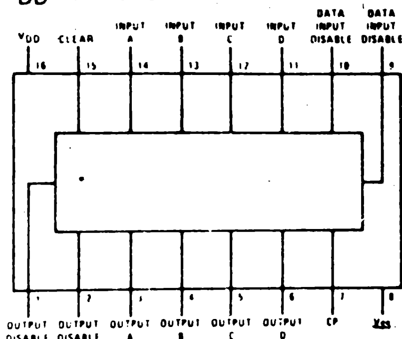
4075B 14-Pin DIP

Triple 3-Input OR Gate, $V_{DD} = 3$ V to 15 V



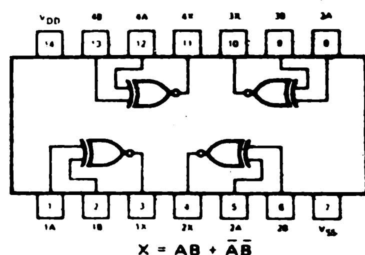
4076B 16-Pin DIP

4-Bit "D" Type Register (Tri-State Output), $V_{DD} = 3$ V to 15 V



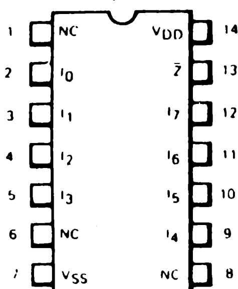
4077B 14-Pin DIP

Quad Exclusive NOR Gate, $V_{DD} = 3$ V to 15 V



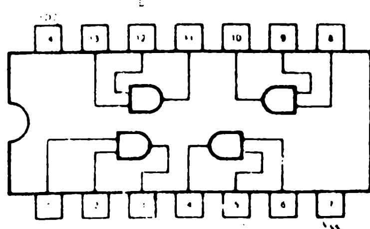
4078B 14-Pin DIP

8-Input NOR Gate, $V_{DD} = 3$ V to 15 V



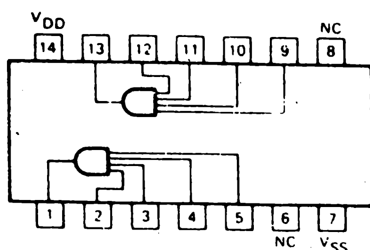
4081B 14-Pin DIP

Quad 2-Input AND Gate, $V_{DD} = 3$ V to 15 V



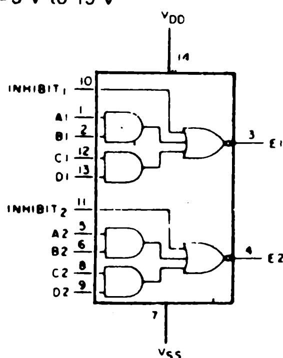
4082B 14-Pin DIP

Dual 4-Input AND Gate, V_{DD} = 3 V to 15 V



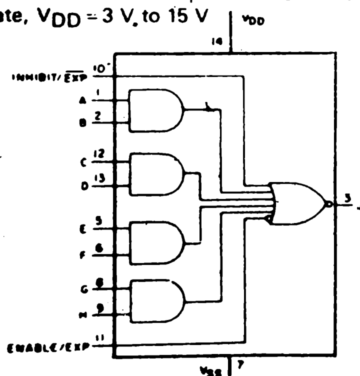
4085B 14-Pin DIP

Dual 2-Wide 2-Input AND/OR Invert Gate, V_{DD} = 3 V to 15 V



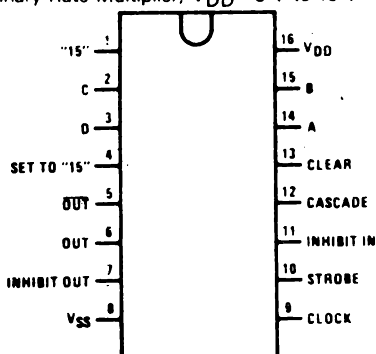
4086B 14-Pin DIP

Expandable 4-Wide 2-Input AND/OR Invert Gate, V_{DD} = 3 V to 15 V



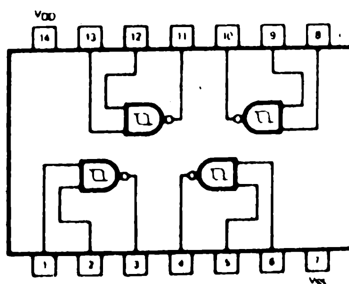
4089B 16-Pin DIP

Binary Rate Multiplier, V_{DD} = 3 V to 15 V



4093B 14-Pin DIP

Quad 2-Input NAND Schmitt Trigger, V_{DD} = 3 V to 15 V



INDICE

CAPITULO 1
TEORIA DE LOS CIRCUITOS INTEGRADOS C-MOS

CAPITULO 2
REALIZACIONES PRACTICAS CON CIRCUITOS INTEGRADOS C-MOS

CAPITULO 3
DATOS UTILES DE LA TECNOLOGIA C-MOS

Este libro se terminó de imprimir en el mes
Octubre de 1989, en los talleres gráficos
Carbet, La Rosa 1080, Adrogué, Prov. Bs.As.